

第十章 封裝技術

10.1 前言

微機電系統 (micro-electro-mechanical systems, MEMS) 是當前極具發展潛力之研究領域，它結合光電、電子、電機、機械、材料、化學、控制、物理、生醫及生化等多重技術與微小化系統製造技術，其加工方式為應用半導體製造技術以微小化機電系統、機械元件及分析系統等。

所謂封裝 (packaging) 是指將裝置中的核心結構體組合起來，封裝的作用在於保護脆弱的微機電元件 (如感測器) 免於受外在環境的侵害 (如機械外力或污染等)，並負起機械支撐與訊號輸入和輸出的責任^(1,2)。

在詳細地敘述各封裝技術之前，先概要的介紹封裝的階層 (level)。如圖 10.1 所示，一般而言，MEMS 封裝可分為四個階層：第一階層封裝為晶圓封裝 (wafer package)，第二階層封裝為裸晶封裝 (die package)，第三階層封裝為元件封裝 (device package)，第四階層封裝為系統封裝 (system package)。再以微感測器的封裝為例，說明四個封裝階層的作用。

第一層：晶圓階層 (wafer level)，主要為同種材料或異種材料的結合，提供多層不同結構的組合，偏向完成較需厚度或複雜的感測元件。

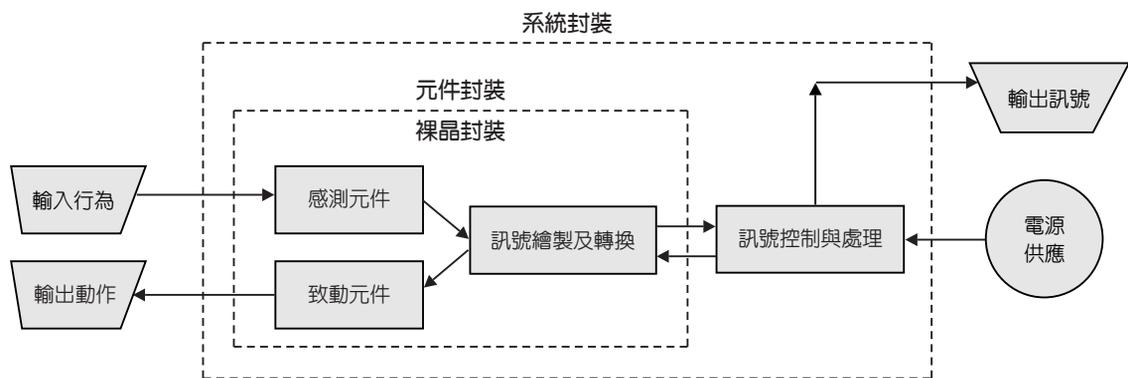


圖 10.1 微機電系統之封裝階層示意圖。

第二層：裸晶階層 (die level)，主要為感測元件與電路元件本身接腳的引出，並包括脆弱的感測元件及致動元件的隔離。此階層的作用主要在於以下四點：(1) 防止裸晶和其他核心單元發生塑性變形或受外在環境的侵襲。(2) 確保系統電氣迴路進行訊號轉換。(3) 提供系統構成單元所需的電氣或機械上的隔離。(4) 確保系統的功能正常運作且沒有超載的情形。此階層 MEMS 或微系統的封裝通常還包含打線 (wire bonding)，以進行電路訊號的傳輸與轉換。

第三層：元件階層 (device level)，主要為感測元件與電路元件對電路基板的接合，使感測元件與電路元件能互相溝通，並包括電源供應、訊號轉換及連結。如圖 10.1 所示，元件封裝需包含適當的訊號處理與過程，大體而言，對感測器與致動器這部分的封裝還包含電路連結與訊號處理迴路的建立。此階層的封裝尚有一項最主要的挑戰，就是介面的問題，關於這個問題的考慮有以下兩個觀點：(1) 針對不同尺寸已封裝的產品，考慮其脆弱的組成單元與其他部分如何建立介面。(2) 考慮這些脆弱的組成要素與環境間的介面，特別需要注意到在工作時以及所接觸媒介的溫度、壓力和毒素等因素。

第四層：系統階層 (systems level)，主要為前三階層之整合，並整合設備和主要的訊號處理電路以符合顧客的需求。此階層的封裝包含核心組成單元之主訊號迴路的封裝，系統封裝需要做適當機械上的、絕熱的以及電磁的護罩來保護迴路；金屬擋板一般都可以良好的保護系統不受外在機械與電磁的影響。此處最主要的問題仍在針對不同尺寸的組成元件該要如何建立介面，因為系統封裝對於誤差的要求甚至比設備階層封裝更為嚴苛⁽²⁾。

10.2 封裝設計

大多數的微感測器或微致動器都包含有類似薄膜 (diaphragm) 的結構元件，當結構元件受到過度的變形或幾何改變時，將會嚴重影響到微感測器或微致動器的性能，因此適當的機械設計和封裝不僅能夠確保其性能，而且能使微感測器或微致動器更為可靠，在市場上更具競爭力。

對於微感測器或微致動器來說，封裝則是設計時必要的一部分，不是事後才考慮的。因此要進行微系統的封裝，首先應了解微系統的設計流程，其主要設計流程可分為二：核心元件設計與封裝設計，微系統設計程序可參考圖 10.2 所示⁽⁵⁾，每一步驟基本上是一循環，直到滿足規格為止，而整體設計亦是一個循環。

(1) 核心元件設計的步驟

• 性能規格的界定⁽⁶⁾

性能規格的界定包括重複性、線性度、精度、解析度、靈敏度、速度、起增點、跨度、遲滯、功率效率、雜訊及整體性能等。

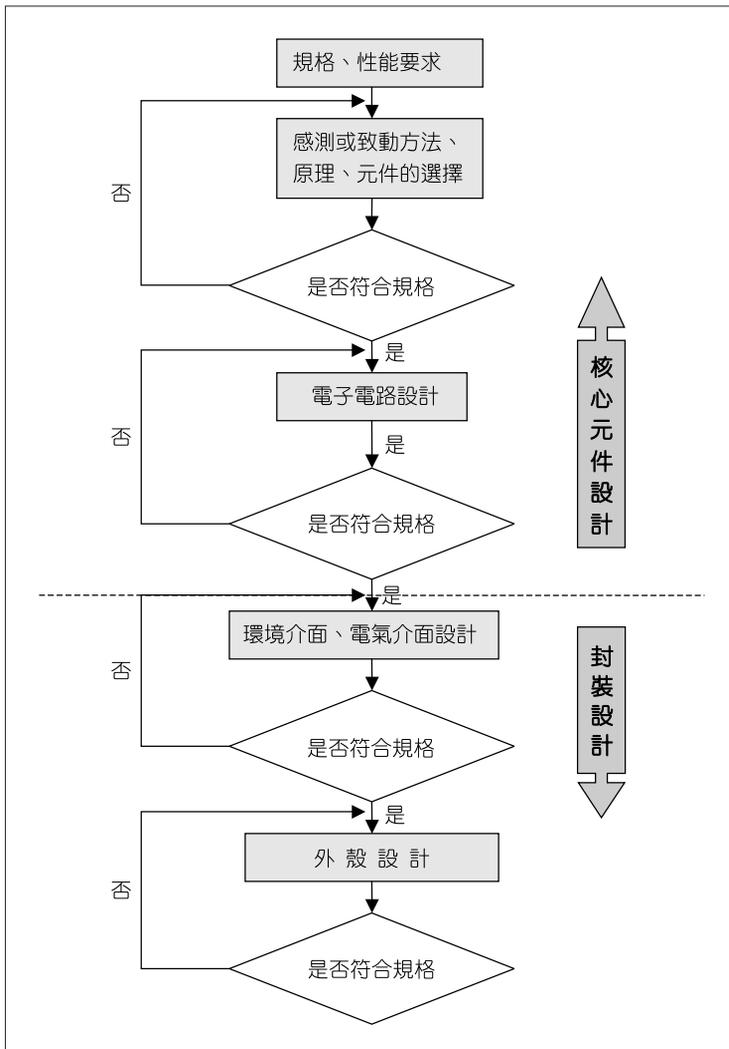


圖 10.2

微系統 (含微感測器與微致動器) 設計程序。

此處將介紹一些用來度量致動器或感測器的規格，以下逕以致動器稱之，其實亦可涵蓋感測器。參考圖 10.3 與圖 10.4，在這些圖中用相對的 X 與 $Y(X)$ 來表示致動器的輸入和輸出，並使用全量 (full scale, FS) 百分比來表示量的大小 (相對於全量 FS)，且 $Y = Y(X)$ ， $Y^- = Y(X^-)$ ， $Y^+ = Y(X^+)$ 。

A. 重複性 (Repeatability)

討論致動器性能的重複性，需考量可參考其內部結構的鬆弛度、摩擦力，以及其他發生在結構上的不穩定性質，「鬆弛度」可能會造成致動器輸出的漂移與變化。重複性 R 可定義為：

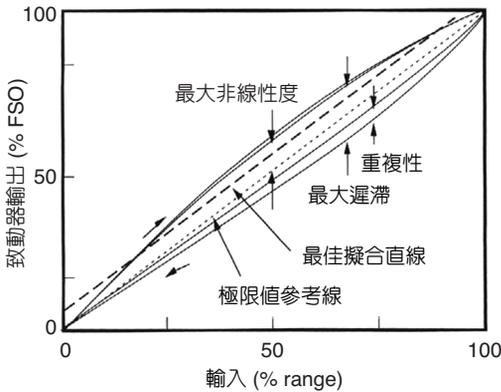


圖 10.3 重複性、線性度、遲滯。

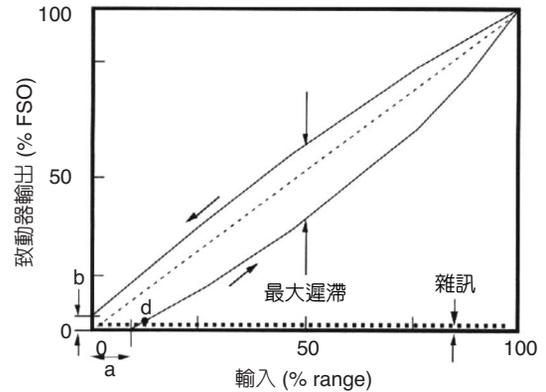


圖 10.4 致動器的輸入與輸出關係圖，a 表示起增點，d 表示最小誘導輸入。

$$R = Y_i(X) - Y_k(X) \quad (10.1)$$

下標 i 與 k 表示致動器運轉的第 i 與第 k 循環，且從圖 10.3 可知在 $X = 80\%FS$ 時， $R = 10\%FS$ 。當觀察其多個運轉循環後，所得到最差的重複性 R 定義為： $R_m = Y_{\max}(X) - Y_{\min}(X)$ ， X 可為 X^- 或 X^+ ，端視何者造成最大的 R 值而定。

B. 線性度 (Linearity)

致動器的線性度 L 係指致動器的輸出作為輸入值的函數時，其表現出的線性度，它是以前全量輸出 (full-scale output, FSO) 的百分比表示。要描述致動器的線性度需要一條線性參考線，此線是最佳擬合線 (best-fit line) 或者是繪於最大與最小輸出數值 (輸出曲線的兩端點) 之間的線，定義此參考線為 $Y_i(X)$ ，則

$$L = | Y(X) - Y_i(X) |_{\max} \quad (10.2)$$

若選擇最佳擬合線，則在圖 10.3 中元件的線性度為全量的 4.5%；若選擇依輸出曲線兩端點繪製的第二條參考線，則其值為全量的 9%。

C. 準確度 (Precision)

對感測器而言，量測一未知數值的準確性與再現性稱為準確度。以致動器來說，準確度表示一個致動器執行一所期望的致動時，其表現出的準確性與再現性。準確度佳不意味著正確度 (accuracy) 高，而不具準確度的正確度是沒有意義的。

D. 正確度 (Accuracy)

測量由致動器輸出的數值有多近似於標準值稱作正確度。舉例來說，一個線性位移的致動器若產生一位移為 $0.09 \mu\text{m}$ ，而標準值為 $0.1 \mu\text{m}$ ，相對於標準值來說，此致動器的正確度為： $100 \times (0.09 - 0.1)/0.1 = 10\%$ ，正確度可以 (10.3) 式表示。

$$\varepsilon_a(\%) = 100 \left(\frac{Y_a - Y_t}{Y_t} \right) \quad (10.3)$$

Y_t 是所期望的真確致動量， Y_a 則為實際的致動量。實際上，其非正確性亦以輸出全量 (FSO) 的百分比來表示：

$$\varepsilon_{FSO}(\%) = \frac{Y_a - Y_t}{Y_{FSO}} \quad (10.4)$$

可以得知 $|\varepsilon_{FSO}| \leq |\varepsilon_a|$ 。

E. 解析度 (Resolution)

對致動器而言，能產生可偵測之致動量的最小驅動輸入增量稱為此致動器的解析度。舉例來說，若一位移致動器產生最小位移增量 δ 時，所對應的實際電壓輸入增量為 ΔV ，則最大解析度為：

$$R_{\max}(\%) = 100 \left(\frac{\Delta V_{\min}}{\Delta V_{\max} - \Delta V_{\min}} \right) \quad (10.5)$$

而平均解析度是指致動器輸出範圍內 R 的平均值。

F. 靈敏度 (Sensitivity)

致動器的輸出 (ΔY) 與輸入的增量變化 (ΔX) 的比例稱為致動器的靈敏度：

$$s = \frac{\Delta Y}{\Delta X} \quad (10.6)$$

致動器的靈敏度會隨溫度或其他外在環境參數的影響而改變，一般說來，致動器的靈敏度在輸出範圍內是非線性的。

G. 最小誘導輸出 (Smallest Inducible Output, sIO)

致動器可被誘導及測量的最小輸出變化稱為最小誘導輸出 (sIO)，參考圖 10.4 中所示的 d 點。舉例來說，壓電式致動器的 sIO 非常小，只侷限於熱振動雜訊。鎳化鈦形狀記憶合金和磁致動器的 sIO 都很大，而靜電式微致動器的 sIO 只在一有限的致動範圍內是小的。

H. 起增點 (Threshold)

所謂起增點表示由零點輸入起算，在能觀察到致動器輸出的情況之下，最小的初始輸入增量。起增點通常是起因於致動器的非線性，且與 sIO 不同。在圖 10.4 中起增點為 a 所代表的距離。

I. 相似度 (Conformance)

致動器輸出的實驗值與理論曲線，或以最小平方法或其他方法得到的理論曲線的接近度稱為相似度，相似度的表示是在致動器輸出的數值上以 %FSO 表示。

J. 遲滯現象 (Hysteresis)

如圖 10.4 所示，當致動器從兩個不同方向得到輸出數值 Y^+ 與 Y^- ，其間的差異稱為遲滯現象。致動器的遲滯現象通常是因可變形部分動作的延遲所造成，就磁致動器而言，遲滯現象是因致動磁場中磁元素的排列延遲所造成。

K. 漂移 (Drift)

在沒有輸入時，致動器的輸出會隨著時間、溫度、或其他任何參數而改變稱為漂移。

L. 承載能力與剛性 (Load-bearing Capability and Stiffness)

承載能力與剛性是指致動器在承受負載時行為的差異。了解負載的機械特質才能決定致動器的輸出。舉個簡單的例子，對一個承受負載相當於彈力係數為 k 之彈簧的線性壓電致動器而言，當施加電壓時，線性致動器會產生力與位移。無負載時，致動器產生的力為零，因此對一特定電壓，致動器會產生最大的可能位移。另一方面，當負載為剛性且無變形時，致動器產生的位移為零，而力卻是最大。因此可以建構一條力—位移 ($f-x$) 曲線，如圖 10.5 所示。當致動器產生的力與負載之反作用力的總合為零時，可以決定致動器的平衡位置。在靜力作用下，致動器的位移平衡位置可由 $f-x$ 曲線與負載曲線的交點來決定。當致動器受步階輸入而作動時，其輸出響應可能是很複雜的。但在微弱訊號下，亦即步階輸入的大小相較於致動器輸出範圍而言相當小時，致動器輸出響應可由靜力曲線來決定。

M. 跨度 (Span)

致動器輸出的全量運作範圍稱為跨度。

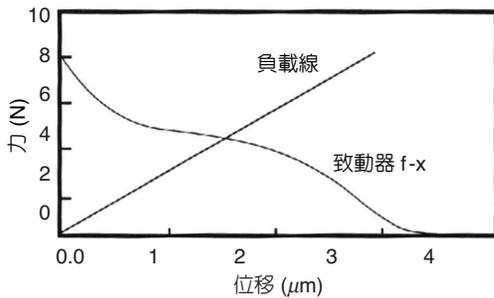


圖 10.5

致動器的輸出及負載對其行為影響的關係圖。

N. 速度 (Speed)

致動器的速度 (v) 定義為其輸出 (Y) 增量對時間增量的比值

$$v = \frac{dY}{dt} \quad (10.7)$$

O. 步階響應 (Step-Response)

由於與致動器作用範圍相關的慣性與彈性恢復力，致動器的輸出對於步階輸入的響應不會產生突然的變化。在低阻尼 (**under-damped**) 或臨界阻尼時，致動器響應的行為可能非常複雜，且易產生振盪。在過阻尼 (**over-damped**) 時，其輸出通常呈現飽和狀態 (**saturation**) 的行為，如圖 10.6 所示。此飽和行為通常是非指數型的，然而，如果是指數型，就可使用一個簡單的時間常數描述致動器輸出的特性。

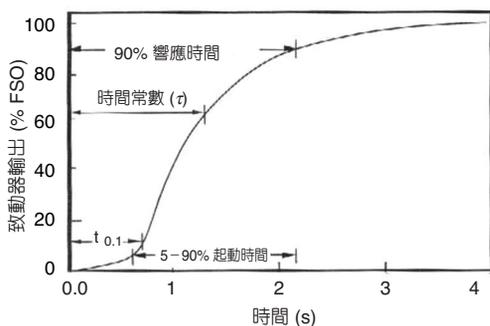


圖 10.6

線性壓電致動器的步階響應。

P. 功率效益 (Power Efficiency)

致動器可視為能將某種形式的能量透過一轉換函數轉換成另一種形式的主動式轉能器 (**transformer**)。有四種不同來源的能量與致動器有關：輸入功率 (P_{in})、輸出功率 (P_{out})、電源供應器供給的功率 (P_s)，以及內部消耗功率 (P_w)。由能量守恆可知：

$$P_{in} + P_s = P_{out} + P_w \quad (10.8)$$

很清楚地，在給定輸入與供給功率時，理想的致動器擁有幾乎為零的消耗功率以及最大輸出功率。功率效益 (η_p) 與輸出功率成正比，而與輸入功率、消耗功率及電源供應器供給的功率成反比，可以表示成

$$\eta_p = \frac{P_{out}}{P_{in} + P_w + P_s} \quad (10.9)$$

雖然電子元件可視為一種致動器，但通常致動器的輸出功率都是非電力型態，而是機械型態。機械功率可視為致動器的作用力與致動器位移量的乘積。一般而言，力與位移之間的關係是非線性的。此外，生物致動器的功率效益通常分布在 0.25–0.50 之間。

Q. 雜訊 (Noise)

假若致動器的輸入無雜訊，致動器輸出中的變動通常是致動器中機械或電子變動的表現，致動器的雜訊直接受其致動機構、用來沉積動作金屬的製造方法等原因影響，以磁致動器來說，在強磁性材料內磁區壁的運動會使致動器的作用力量或位移產生變動，磁區尺寸是由沉積方式以及用來給予所需要之磁化行為的連續退火來決定，由磁區壁移動產生的頻譜與振幅亦與激化的振幅和時間有關。

R. 尺度效應 (Scaling)

如果縮小致動器的尺寸可以增強其承受力並獲得較佳的性能，則縮小尺寸將有很大的價值。但並非所有的致動器都可以縮小，所以使用「尺度效能 (scalability)」度量法評估不同的致動方法就顯得非常重要。例如靜電式致動器有高度的尺度效能，可縮小其尺寸以增進性能，但靜磁式致動器的尺寸則很難縮小。尺度效能可以公式表示如下：

$$Sc = -\frac{d\eta}{dV} \quad (10.10)$$

其中 η 為功率效益而 V 為致動器的有效體積。

• 致動方法、原理、元件的選擇

選擇致動方法，在最大的物理極限考量之下，進行無因次分析，並藉由各種軟體的驗證 (Coventor, Memscap, Intellisuite) 來滿足性能規格的需求。

• 電子電路的設計

依命令訊號的型式、驅動能量放大、補償器的設計等需求，以增強致動元件的性能。封裝上需考慮感測器之抗雜訊干擾，致動器應考慮放大器散熱的問題⁽⁶⁾。

(2) 封裝設計的步驟

• 環境介面的設計

此部份是微系統最不易標準化的地方，完全要依據施用對象或環境媒介而定，其需求為對待作用參數要透明，對其他無關的環境物理與化學參數要無作用。以感測器為例：

- 氣體感測器 (gas sensor)：半透氣的薄膜 (semi-transparent membrane)
- 離子感測器 (ionic sensor)：保護層 (passivation layer)
- 氣體與溼度感測器 (gas and humidity sensor)：網格及過濾器 (grids and filter)
- 溫度感測器 (temperature sensor)：金屬短柱 (metal stud)
- 光學感測器 (optical sensor)：玻璃窗 (glass window)
- 電磁場感測器 (magnetic field sensor)：塑膠層 (plastic layer)
- 壓力感測器 (pressure sensor)：直接與待測媒介接觸
- 流量感測器 (flow sensor)：直接與待測媒介接觸
- 加速度計 (acceleration sensor)：不與待測媒介接觸
- 化學感測器 (chemical sensor)：具選擇性的隔層

• 電氣介面的設計

電氣介面的設計須考慮小轉大、電磁相容 EMC 與拉扯損壞等要求，此處有甚多技術可參考電子 IC 的構裝方法，例如利用打線將訊號處理電路元件的小焊墊轉到導線架，再接合到電路板，由電線或電纜線引出。覆晶或無線傳送也是可考慮的方式。

• 封裝外殼的設計⁽³⁾

基於成本的考量，符合尺寸與空間大小的限制，來選擇外殼的形狀、材料等，達到保護核心元件的功能。此外應特別就以下要點檢視設計的周延性：① 真空封裝、非真空封裝，② 散熱否，③ 電磁雜訊干擾，④ 減少負載效應、寄生效應，⑤ 機械強度，⑥ 安裝方法的考量，至感測點或致動器欲施加作用的地方，要用螺紋鎖合、焊合或黏合，⑧ 操作環境的考量，⑦ 製作方法的考量 (含元件製作及裝配)，裝配所需的治具、夾具設計 (儘可能利用外殼設計，達成自我對位、裝配的功能)。

根據上述的要求，藉由各種軟體的驗證 (ANSYS 等有限元素法)，來探討製造精度、製造方法等對原有核心元件的設計性能規格需求是否有負面的影響，進而修改封裝的方式。

10.2.1 感測器封裝

10.2.1.1 微感測器封裝簡介

微感測器在封裝上比電子構裝更為複雜，如表 10.1 所示。電子構裝傾向於提供環境的隔絕、機械保護及散熱，而微感測器因為和外界要有某種程度的作用，脆弱的感測晶片或致動元件需要暴露在外與待測媒介接觸，但這些媒介均會對其造成不良的影響，因此微感測器封裝則傾向於高度的特殊應用，同樣的微感測器可能因為應用的地方不同，而有不同的封裝方式，故微感測器封裝比電子構裝更有挑戰性，除了必須具備電子構裝的基本功能外，還要能避免設備材料與待測環境產生不必要的污染或反應，這在生醫、藥劑與食物的應用上尤其重要⁽⁵⁾。

表 10.1 電子構裝與微感測器封裝之比較⁽⁷⁵⁾。

	電子構裝	微感測器封裝
環境	和外界環境隔離	和待測環境作用
標準	高度標準化	視應用而定
設計	分開設計	和感測核心元件一起設計
成本	成本均等	封裝較感測核心元件成本高
測試	封裝前	如何？何時測試？

目前微感測器封裝上仍然沒有一般共通的封裝方式，同樣的微感測器可能因為應用的地方不同，而有不同的封裝方式，因此微感測器封裝製程遲遲無法標準化，成本難以降低，且長年以來，微感測器的封裝測試就佔了整個微感測器成本的 50—90%，為此產學界無一不在思索如何改善此問題。

另外，圖 10.7 說明一般微感測器在封裝時各元件之間的介面問題，圖中 **a**、**b**、**c**、**d**、**e** 表示各類封裝介面。

a：感測元件與環境的介面，其需求為對待測參數要透明，對其他無關的環境物理與化學參數要阻擋。

b：感測元件與封裝材料的介面或晶片置合與相連技術，可能發生的問題為：

- 機械應力：在接合過程中產生的，如陽極接合、融合接合、共晶合金接合、黏膠接合等製程所產生的接合力 (bonding force)。
- 熱應力：在接合程序之後發生，例如晶片、黏晶材料與基板有不同的熱膨脹係數。
- 熱效應：補償溫度係數、漂移 (temperature coefficient of offset, drift)。
- 對位不準 (misalignment)：會讓壓力感測器或加速度感測器量到其他無關的分量。

c：感測元件與電子電路元件的介面，可能發生的問題為寄生效應與負載效應。

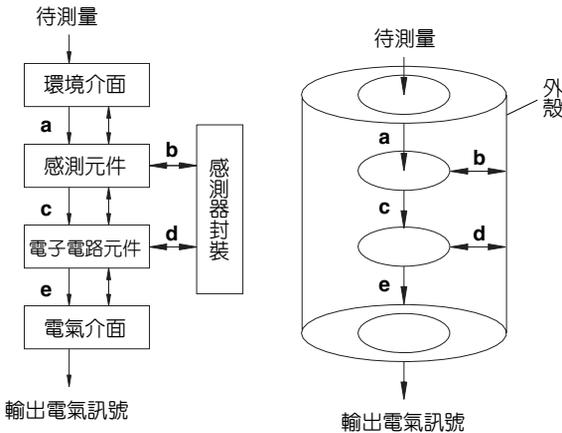


圖 10.7 一般微感測器封裝時的介面問題。

- d：電子元件與封裝材料的介面，可能發生的問題為 EMC，以及水氣、灰塵、腐蝕、散熱性、傷害焊墊與連接線路。
- e：電子元件與電氣的介面，即電氣接線 (electrical wire)，可能發生的問題為小轉大、EMC 與拉扯損壞或無線傳送 (wireless transmission)。

10.2.1.2 各種微感測器的封裝方法

微感測器封裝的形式如表 10.2 所示。以下 將介紹幾種常見的感測器，以共通型封裝為例⁽⁸⁴⁾，供讀者參考。

(1) 壓力感測器

圖 10.8 為壓力感測器的剖面圖，係以共通型封裝的方法封裝之。另外，當量測相對壓力時，通氣孔則為為參考用，或是不需要通氣孔，並以真空封裝，用於量測絕對壓力。量測時，當外界流體的壓力由穿孔與感測薄膜作用而產生變形，薄膜上的壓阻跟著變化，藉由橋式電路與電路元件，得到流體壓力轉換成電壓訊號；而藉由底部的錫球則可作為和外界連結之用，或使用連接器，達到小焊墊轉大焊墊的效果。

表 10.2 微感測器封裝的形式。

感測單元與環境接觸	上下都跟環境接觸	上通下通	差動壓力、風速計
	單面跟環境接觸	一空一通 單面不閉	絕對壓力 化學感測器、溫度、溼度、力量
感測單元不與環境接觸	密閉中空穴	上空下空 上空下密	陀螺儀、加速度 光學感測器
	上密下密		電／磁感測器、線圈封裝

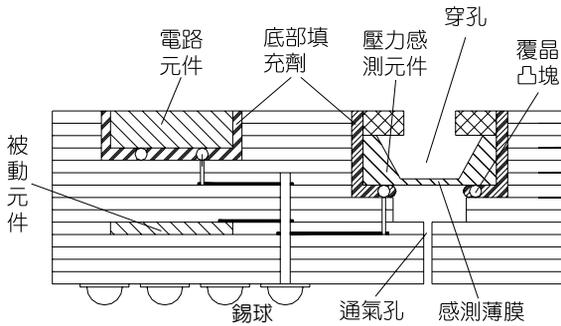


圖 10.8
壓力感測器封裝的剖面圖⁽⁸⁴⁾。

本感測器封裝時，須考慮流體是否具有侵蝕性，而選擇性的加以披覆一層保護膜，或者當流體壓力量測範圍較大時，需要使用有限元素軟體 ANSYS 去分析，覆晶凸塊的大小、數目與底部填充劑的組合，可以產生多大的機械強度，以抗衡流體壓力作用於薄膜上的總力。

(2) 加速度感測器

圖 10.9 為加速度感測器的剖面圖，包含有共振結構的感測元件與低溫共燒陶瓷直接覆晶結合，其他結構則和壓力感測器相同，唯一不同處為封裝時需採用真空封裝，使得共振結構在真空中動作，以降低感測誤差。另外，低溫共燒陶瓷可以和連接器預先成為一標準件，再將 CMOS 晶片與低溫共燒陶瓷直接覆晶結合，或低溫共燒陶瓷上層與 CMOS 晶圓作晶圓接合，注入底部填充劑，然後將連接器一一與低溫共燒陶瓷下層的大型焊墊接合，最後整體切割。

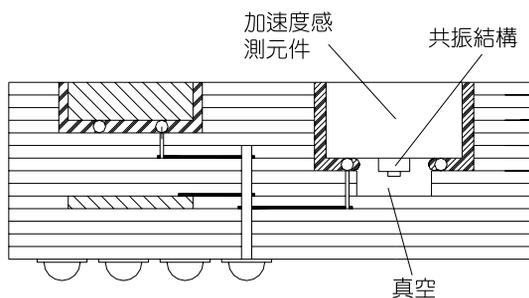


圖 10.9
加速度感測器封裝的剖面圖⁽⁸⁴⁾。

(3) 濕度、溫度、氣流感測器

圖 10.10 為濕度、溫度與氣流感測器的剖面圖，係將三種感測元件作在同一片晶片上，再置於含有通道入口及通道出口的基板上，以共通型的方法封裝之；其可用於空調系統、汽車、家庭與醫院的回饋控制。

溼度感測器主要由壓阻擴散至矽晶圓，薄膜由微加工技術完成，吸濕性層可由

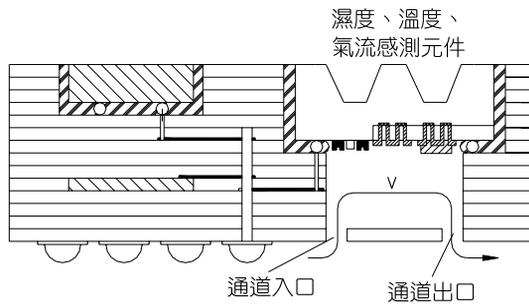


圖 10.10

濕度、溫度與氣流感測器封裝的剖面。

polyimide 披覆達成，每個壓電阻都放置於高敏感區，當環境溼度增加時，polyimide 會膨脹，進而引起壓阻的變化，並由電路得出相對溼度。

溫度感測器是利用擴散式電阻於矽晶圓上來達成。氣流感測器則是在 CMOS 所製的介電薄膜上，由沉積的多晶矽電阻加熱（類似 hot wire），並於電阻兩旁設置各一個熱電堆 (thermopiles) 用來檢出氣流 V 造成薄膜上的溫差。

(4) 氣體感測器

圖 10.11 為一種微型氧氣感測器的剖面圖，以包含有通氣孔的低溫共燒陶瓷承載基板做為與待測氣體的環境介面，利用電極兩側之氧氣濃度差異來產生電壓，且以濃度和電壓成比例的關係來預測待測氣體濃度，其應用範圍包括環保產業，如室內、大氣等空氣品質監測，醫療產業，如育嬰室、呼吸氣等氧氣監控。另外一氧化碳微感測器，其封裝方式也相仿。

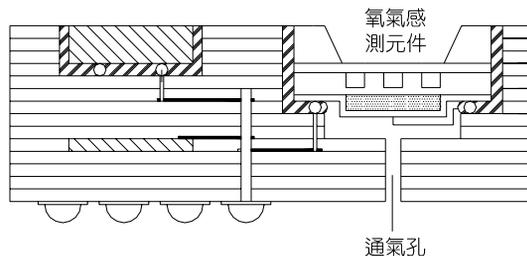


圖 10.11

微型氧氣感測器封裝的剖面圖。

(5) 音波感測器

圖 10.12 為一種由 polyimide 所構成的凝縮式 (condenser) 麥克風，製作於矽基板上 (內含 on-chip CMOS 放大器)⁽²⁰⁾，薄膜底部有下電極，而多孔 polyimide 背板的底層為上電極，當薄膜受聲壓變形時，凝縮式電容值會變化，再經晶片內含 (on-chip) 放大器而取得對應聲音大小的電壓值。封裝時，只要將放大器的輸出入接點以凸塊型式和承載基板的焊墊覆晶結合，並在承載基板對應於多孔 polyimide 處開一通孔即可。電氣接線由基板厚膜印刷的焊墊接出即可。此處的承載基板可使用厚膜技術的陶瓷基板。

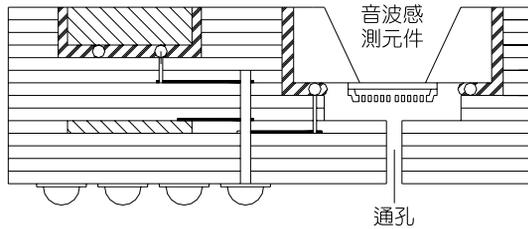


圖 10.12

音波感測器封裝的剖面圖。

(6) 無線感測器

無線感測器係一種具有可更換為有線傳送或無線傳送功能接頭的感測器，主要包括一個含有感測元件及電路元件的感測器，一個含有可被動無線接收電能的單元或電池，及無線傳送量測訊號單元的模組。

封裝時，係將藍芽 (bluetooth) 通訊模組連同感測單元及電路元件一同封裝於承載基板上，再注入底部填充劑密封之，天線則可置於基板最上層，或是直接內埋於基板中。

另一方法，是使電路元件，包括 ADC 與 USB 的處理功能及提供 USB 規格的連接器，直接與具 USB 功能的藍芽模組相連，即成具藍芽通訊功能的無線感測器⁽⁵⁾。

10.2.2 致動器封裝

致動器的方法、原理與元件可參見表 10.3 所列。圖 10.13 說明一般微致動器在封裝時各元件之間的介面問題，圖中 a、b、c、d、e 表示各類封裝介面，其內容可參考表 10.4。

表 10.3 致動器的方法、原理與元件。

輸入 \ 輸出	黏滯性或流動	位移	力量/壓力
熱	流體	雙金屬、記憶合金	雙金屬、記憶合金
電場	介電力、電滲透 (electro-rheological)	靜電、壓電、音波 (acoustic)	靜電、壓電、 音波 (acoustic)
磁場	磁-流動 (magneto-rheological)	磁彈、磁阻、鐵磁	磁彈、磁阻、鐵磁
光	膠 (gels)	光電、光熱、 Crooks 輻射計	光電、光熱、 Crooks 輻射計
化學反應	膠	肌肉、引擎	肌肉、引擎
機械力 (壓力差)	流體流動	桿	實體連桿
機械位移		齒輪	桿
毛細力	流體流動		

(流體含液體與氣體)

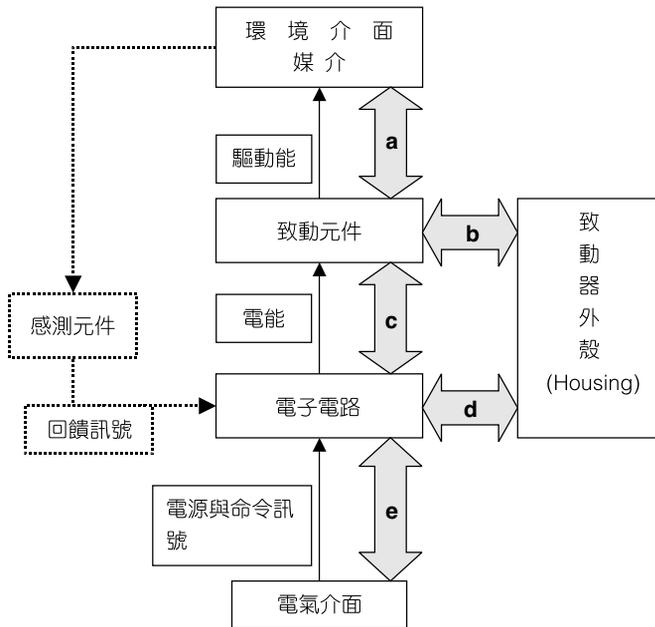


圖 10.13

致動器主要結構模組。

- a**：致動元件與環境的介面，其需求為對欲致動參數要直接，對其他無關的環境物理與化學參數不影響。
- b**：致動元件與封裝外殼的介面或晶片置合與相連技術，可能發生的問題為：
- 機械應力：在接合過程中產生的，如陽極接合、融合接合、共晶合金接合、黏膠接合等製程所產生的接合力 (bonding force)。
 - 熱應力：在接合程序之後發生，例如晶片、黏晶材料與基板有不同的熱膨脹係數。
 - 熱效應：補償溫度係數、漂移。
 - 對位不準 (misalignment)：會讓致動元件產生其他無關的分量。
- c**：致動元件與電子電路元件的介面，可能發生的問題為寄生效應與負載效應。
- d**：電子元件與封裝外殼的介面，可能發生的問題為 EMC，以及水氣、灰塵、腐蝕、散熱性、傷害焊墊與連接線路。
- e**：電子元件與電氣的介面，即電氣接線 (electrical wire)，可能發生的問題為小轉大、EMC 與拉扯損壞或無線傳送 (wireless transmission)。

10.2.3 與電子電路整合的封裝設計

一般而言，無論是感測器或致動器等微機電的製程中，封裝都屬於後段製程。封裝的過程中我們會利用打線或其他方式，使之與電子電路接合而和外部都產生聯繫。

表 10.4 封裝介面參數。

	對象	連接法	效應
電性連結	電子元件	電線	負載效應
Electromagnetic (or microwave) 電磁	導電元件 導磁元件	傳輸線、空間	電磁干擾
Optical 光學	感光元件	光纖、透明體 (含空氣)	光電效應 光熱效應
Electropical 光電	光電	光電池、光電晶體	光電效應
Fluidic 流體	壓力差／濃度 差之物體間	流道	毛細作用 擴散作用
Mechanical 機械	接觸物體間	固體件	應力作用
Electromechanical 電機／機電	壓電材料 鐵電材料	電磁耦合	壓電作用 電磁運動
Chemical 化學	化學性質差異 活性	離子橋	化學反應／腐蝕 電化反應／電池
Biochemical 生化	生物	ATP	光合作用
Biomechanical 生物機械／生物工程	生物	肌肉 骨架	機械位移
Heat 熱	溫差物體	熱傳件 (固、液、輻射)	熱雜訊、變形

在此舉出一種新的模式來概略說明。圖 10.14 為一種與電子電路整合的封裝方法 (整合 CMOS 電容式壓力感測器)，此法是以 CMOS 製程為載具，同時進行電容壓力感測器與電晶體等電子電路的製程，此圖是一 CMOS 電晶體與電容式壓力感測器，完成後緊接著才是封裝的進行。封裝時以隔膜保護電晶體，並同時使之與壓力感測器進行電路與訊號的連結，而後進行壓力感測器的密封過程。

此法特徵在使得電路訊號連結與封裝在同一製程中完成，不僅減少製程步驟，節省時間，更因電晶體與感測器同在一微結構中，而使之更加穩固，訊號與電路的連結亦更穩定。

此方法是在一單晶半導體基板上進行，如圖 10.14 所示，在基板上利用半導體製程，分感測區和 CMOS 區兩部分同時進行製作，先以氧化的方法形成三個區域，在感測區中的部分，沉積與蝕刻製作感應薄膜覆蓋在固定電極之上，並在 CMOS 區域，於半導體基板上製作 CMOS 電晶體的源極和閘極。

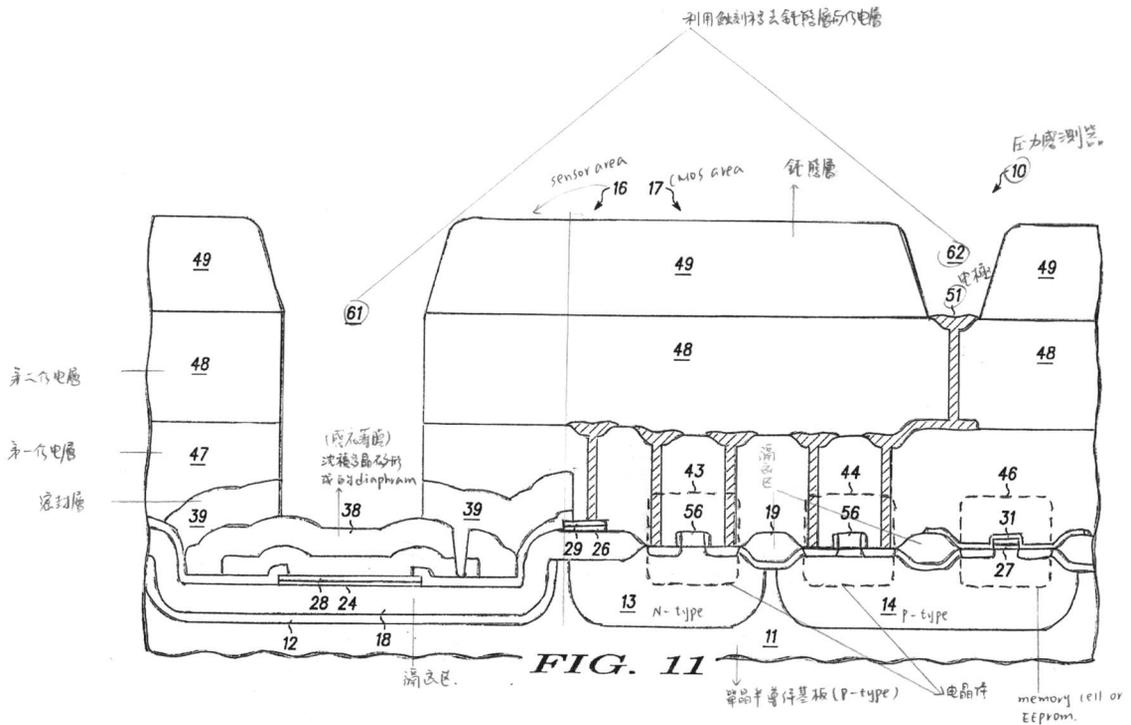


圖 10.14 電子電路整合的封裝方法⁽⁷⁴⁾。

而後對感測區內的感應薄膜以及 CMOS 區內的源極與閘極進行退火，確保其平坦，並防止製程中應力或其他對其特性可能造成的影響。完成電極的製作與連接，在感測區作密封的動作，之後對整個電容感測器製作第一介電層以及第二介電層和電極，完成後覆上一層保護層 (passivation)，上光阻作蝕刻，使感測薄膜與元件的電極能與外界相通，便大致完成整個感測器的製作。

10.2.4 材料考量

在這部分將介紹應用在封裝的材料性質，因為材料的性質對封裝的設計有相當大的影響。表 10.5 對微系統各部分封裝常用的材料做了簡略的介紹，表 10.6 列出裸晶封裝常用材料的性質。

微流體裝置製造商認為使用塑膠作為基材，相較於玻璃與矽可以有許多好處，例如成本降低、製程簡化。另一個更吸引人的優點是塑膠的多樣性可以適當挑選以符合應用需求。微流體應用對基材的性質要求包括：加工性、表面電荷、分子吸收性、電滲透流動性、光學特性、親水性、疏水性及其他。塑膠除純高分子的特性，仍可藉由添加物而增強其某方面的特性。

表 10.5 微系統封裝常用材料。

微系統零組件	可用材料	附註
裸晶	矽、多晶矽、砷化鎵、陶瓷、石英、 聚合物	
絕緣體	SiO ₂ 、Si ₃ N ₄ 、石英、聚合物	
基板 (constraint base)	玻璃 (Pyrex 玻璃)、石英 鋁、矽碳化物	Pyrex 玻璃和鋁是較 常用的材料
黏晶	焊接金屬、環氧樹脂、矽膠	焊錫有較佳密封性， 矽膠有較佳的裸晶絕 緣性
打線	金、銀、銅、鋁、鎢	金和鋁較為常用
互接腳針	銅、鋁	
外蓋與外殼	塑膠、鋁、不鏽鋼	

表 10.6 裸晶封裝常用材料的性質。

材料	楊氏係數 (MPa)	波松比	熱膨脹係數 (ppm/K)
矽	190000	0.29	2.33
鋁	344、830–408、990 (°C)	0.27	6.0–7.0 (25–300 °C)
焊料 (60Sn40Pb)	31000	0.44	26
環氧物 (Ablebond789-3)	4100		63 (< 126 °C) 140 (> 126 °C)
矽膠，RTV (Dow Coring 730)	1.2	0.49	370

當設計工程師執行設計分析時，必須了解裸晶接合材料的溫度相依性質 (temperature dependent properties)，表 10.7 與表 10.8 提供焊料以及環氧樹脂的溫度相依性質⁽²⁾。

對矽膠 (商品名 RTV) 而言，量測應力與應變的關係有明顯的散度，其楊氏係數的均值於所有溫度時約為 1 MPa⁽²⁾。

10.3 低階封裝製程

10.3.1 真空封裝

真空封裝技術常應用在低壓封裝上，搭配現有的接合技術—陽極結合或融合接合技術，將材料或結構接合。通常使用上述接合技術接合前將吸氣劑放入中空腔體內，再利用吸氣劑 (getter) 將中空腔體內的氣體吸收使腔體形成真空狀態，如圖 10.15 所示；或者材料在接

表 10.7 60Sn40Pb 焊錫的溫度相依性。

應變範圍	楊氏係數 (MPa)	波松比	降伏強度 (MPa)
0—500	−40 °C : 46100	0.32	60
	25 °C : 27700	0.43	38
	125 °C : 17000	0.43	14
500—2000	−40 °C : 27800	同上	同上
	25 °C : 16200		
	125 °C : 4670		
1500—3000	−40 °C : 5600	同上	同上
	25 °C : 5290		
	125 °C : 1400		
3000—10000	−40 °C : 1490	同上	同上
	25 °C : 700		
	125 °C : 210		

表 10.8 環氧樹脂 (Ablebond 789-3) 的材料相依性。

應變範圍	楊氏係數 (MPa)	波松比	降伏強度 (MPa)
0—500	−40 °C : 7990	0.42	55
	25 °C : 5930	0.42	60
	125 °C : 200	0.42	1.5
500—2000	−40 °C : 4680	同上	同上
	25 °C : 4360		
	125 °C : 110		
2000—10000	−40 °C : 3830	同上	同上
	25 °C : 3620		
	125 °C : 60		
10000—20000	−40 °C : 3610		
	25 °C : 2650		
	125 °C : 40		
20000—30000	25 °C : 1790		
	125 °C : 30		

合後因結構設計而產生接合空隙，可以使用沉積氧化物或氮化物或金屬將空隙處完全密封，如圖 10.16 所示。真空封裝技術的優點是當中空腔確定是密閉時，可以提供一個穩定的固定參考壓力 (零壓力) 和預防腔體中氣體的介電係數發生變化，尤其是中空腔的真空度越好的時候。

真空封裝技術廣泛使用於生產絕對壓力感測器、微型開關、可變電容等。對絕對壓力

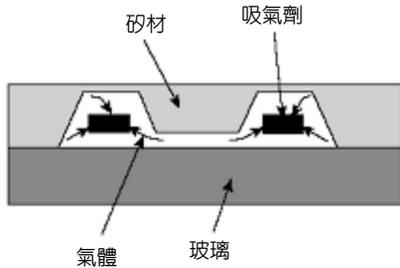


圖 10.15 吸氣劑的作用⁽⁷⁶⁾。

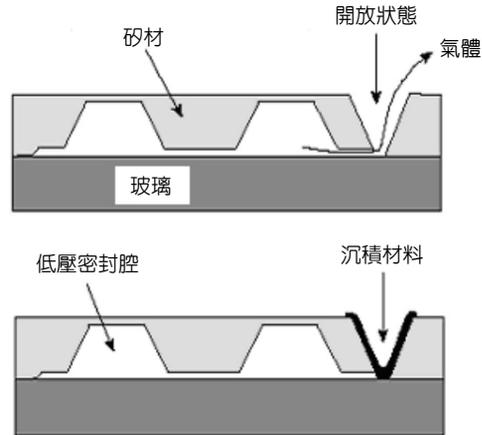


圖 10.16 使用低壓金屬沉積程序達成真空封裝⁽⁷⁶⁾。

感測器提供一個零壓力的參考中空腔是非常重要的，目的並非真實的壓力測量，而是除去產品在大的溫度變化下受氣體膨脹的影響。在絕對壓力感測器中，通常隔膜的一面是暴露在環境中，而另一面是在一個密封的中空腔，作為接近零壓力的參考壓。

在 1998 年，Liwei Lin 等人先以低壓化學氣相沉積 (LPCVD) 製作微結構，然後再以低壓化學氣相沉積成長氮化矽作為封裝結構，其示意如圖 10.17。此方法可達成晶圓等級的封裝，但是低壓化學氣相沉積的製程溫度過高，可能會造成元件的損害，而且以化學氣相沉積成長的氮化矽無法提高厚度，所以封裝的強度受限。

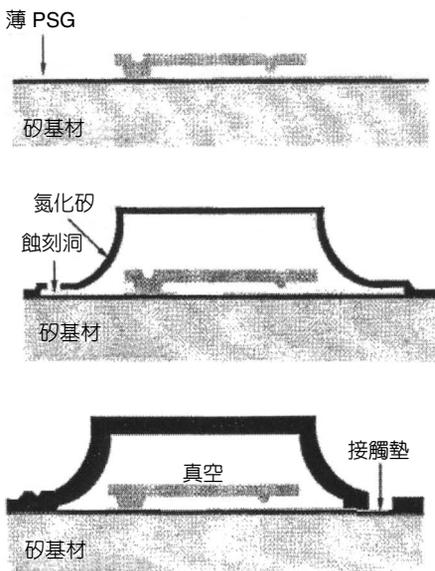


圖 10.17

以低壓化學氣相沉積 (LPCVD) 製作微結構。

晶圓接合的技術目前廣為真空封裝所應用，此種方法提供了良好的密封性與封裝結構強度，Bharat Shivkumar 等人在 1997 年以微鉚釘技術 (microrivet technology) 完成了封裝目的，如圖 10.18 所示。

但以上兩種做法都需要昂貴的對準儀器來達成，因此應用上還有可改良之處。在思量微機電可變電容真空封裝的需要後，另有一新型的封裝技術概念如圖 10.19 所示⁽⁹⁾。

封裝架構上採用一維封蓋將微結構密封或真空封裝，並提供微結構三維的活動空間。此外，此微封蓋的技術還能選擇性的封裝，將需要與外界物理現象接觸的元件 (如壓力感測器) 屏除在微封蓋的封裝範圍之外，只讓需要被密封的元件受到封裝的保護。而在微封裝的材料上，選擇以金屬作為結構的主體，此舉不但能提供微結構對外在環境的隔絕，更可對微波元件提供保護，抵抗外在電磁雜訊的干擾。

最重要的一點，此微封蓋的微機電元件封裝技術能與現有的積體電路封裝技術整合在

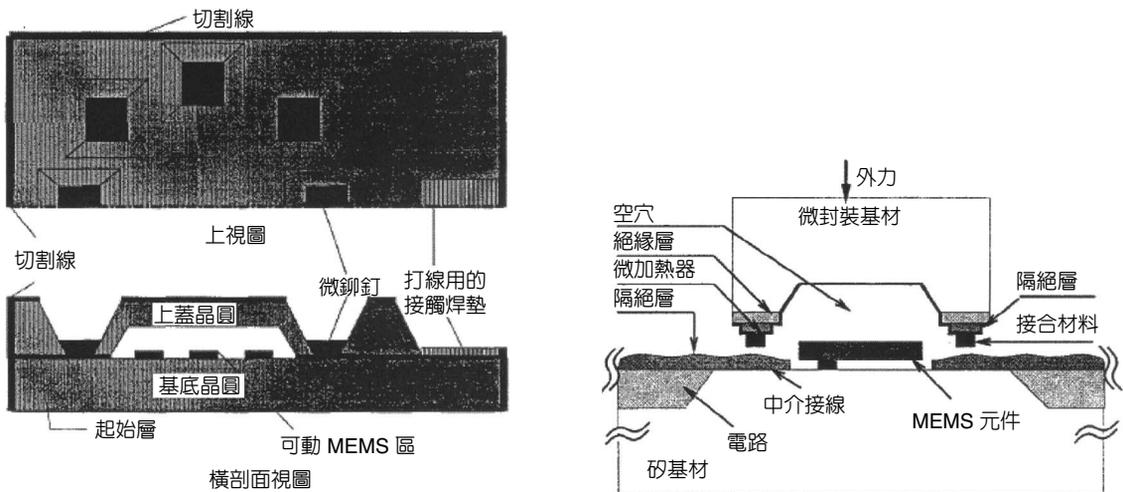


圖 10.18 微鉚釘技術。

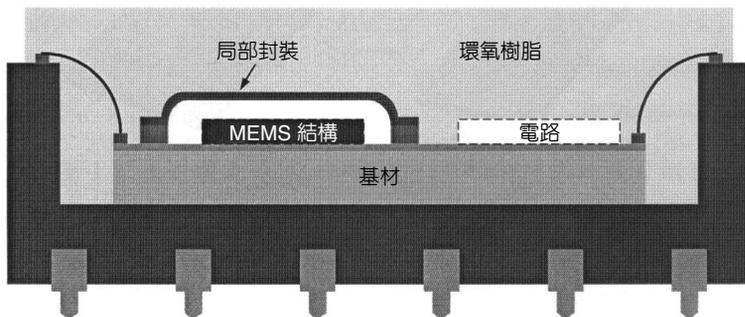


圖 10.19 新型封裝技術概念⁽⁹⁾。

一起，讓受微封蓋保護的微結構可與積體電路晶片一起進行打線、封膠等處理，使之能大量生產，降低製造與封裝的成本。

縮槽重流密封 (indent-reflow sealing, IRS)⁽⁸⁰⁾ 技術是利用多晶片無助焊劑鉛錫 SnPb (67/37) 的接合技術與覆晶技術來達成，主要的製程是 (1) 在欲接合的晶片之一，作上密封用的鉛錫圈 (ring)，(2) 並於圈上挖出一個縮槽 (indent)，(3) 用電漿預處理接合表面，(4) 將上下晶片預接合，(5) 在一個乾淨可控氣氛的爐子內，利用低溫 (220–350 °C) 重流，將縮槽封合。相較於其他方法 IRS 可有較大的彈性選擇封合的氣體與壓力，對接合表面的平整度也不高，此方法的實際應用範例之一為電磁式微電釋 (microrelay) 的封裝。

10.3.2 接合技術

晶片接合技術 (wafer bonding technology) 目前已應用於商業生產上⁽⁸⁵⁾，如壓力微感測器、絕緣層上矽晶圓 (silicon-on-insulator, SOI) 材料與高亮度發光二極體等。近年來，無論是在半導體領域、光電領域或是微機電系統領域，除了不斷要求提高性能外 (如半導體領域中要求低電壓、低耗能、高時脈等)，最主要之晶片接合技術研究動力是來自封裝成本降低之強烈需求。如果能在晶圓級 (wafer level) 就將半導體或是微機電系統元件封裝好，不但尺寸可減少許多，達到晶粒尺寸封裝 (chip size package, CSP) 之目的，而且不必一顆一顆地封裝，仍能以批量化 (batch) 製程完成產品，大幅降低成本。

晶片接合技術依有無中間介質層，可略分為無介質層方法 (non-intermediate layer bonding) 與有介質層方法 (intermediate layer bonding)⁽¹¹⁾ 兩大類，如圖 10.20 所示。無介質層法主要是指直接接合法 (direct bonding)⁽¹²⁾ (又稱融合接合法) 與玻璃—矽陽極接合法 (anodic bonding) (又稱電場輔助玻璃接合法 (field-assisted glass bonding)、靜電接合法 (electrostatic bonding))⁽¹³⁾ 兩者。有介質層法主要包括 (1) 矽—矽陽極接合法、(2) 玻璃—玻璃陽極接合法、(3) 共晶接合法 (eutectic bonding) 與 (4) 黏接接合法 (adhesive bonding)⁽¹⁴⁾ 等。

晶片直接接合法是利用兩片表面具平滑鏡面、可互為相同或相異材質、單晶或是多晶形態之晶圓材料的表面原子間之接合力，作初步面對面接合，再經由退火處理，使此兩片晶圓表面原子反應，產生共價鍵合，讓兩平面彼此間的接合能 (bonding energy) 達到一定強度，而使這兩晶片能夠不使用黏接媒介物，純由原子鍵結成為一體。這種特性能使接合界面保持絕對純淨，避免無預期之化學黏接物雜質污染，以符合現代微電子材料、光電材料及奈米等級微機電元件嚴格製作要求。這項技術可複合不同晶格、不同種類之單晶或多晶材料，利用複合之材料具有不同的物理性質 (如熱傳導度，機械強度)、化學性質 (如活化能)、電子性質 (如原子能階) 等，以製造具備特殊物理或化學特性之先進高性能光電材料，例如垂直腔式面射型雷射二極體 (VCSEL) 光電材料⁽¹⁵⁾，或針對發展低電壓低耗能可攜式電腦，或以使用於航太工具之材料為重點的低耗能、耐高溫電子材料，如絕緣層上矽晶圓 (SOI)⁽¹⁶⁾ 等等。

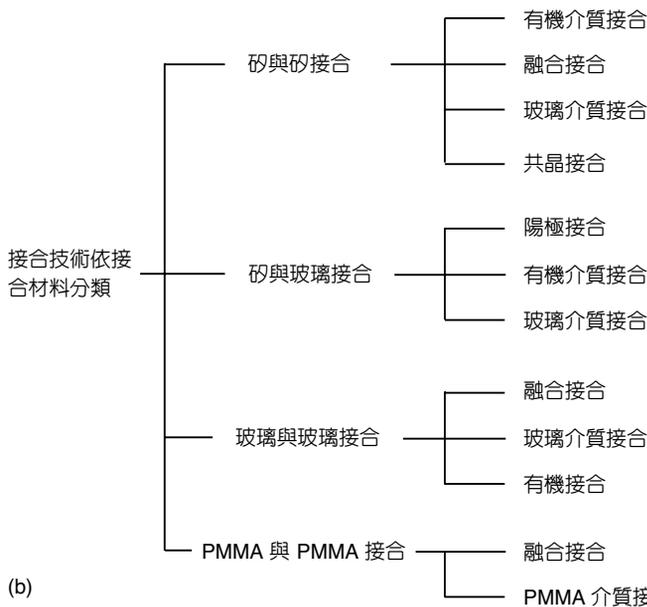


圖 10.20 各種接合技術分類及材料分類。

一般之直接接合法需相當高溫，如矽－矽直接接合需在 800－1100 °C 高溫以得到高接合強度。其他接合法則可降低接合溫度，以符合製程需求。為了降低直接接合法之熱處理溫度，利用特殊之表面活化處理或熱處理方法，以得到適當接合強度之低溫接合法 (low temperature bonding)⁽¹⁷⁾，最近廣受注目。因為低溫接合法能結合相當不同類別的半導體材料，且有其特殊之界面特性，廣泛應用在各種不同領域，因此具有甚大的研究及應用發展潛力。另外也有所謂的局部接合法 (localized bonding)⁽¹⁸⁾，是只加熱局部要接合區域而整個晶片不加溫的接合法。表 10.9 列出無介質接合與介質接合的分類與比較，下章節將簡單介紹以上提及之各接合機構與方法。

10.3.3 無介質接合

無介質接合技術為利用化學藥品活化晶片表面，或將晶片置於加熱器上並施加壓力於晶片表面，使晶片結合的技術，特徵是接合界面不使用介質，其接合溫度亦多屬於高溫⁽⁷⁾。

表 10.9 無介質接合與介質接合的分類及比較。

	無介質接合		介質接合		
	陽極接合	融合接合(直接接合)	有機接合	共晶接合	玻璃介質接合
應用範圍	矽-玻璃	矽-矽 玻璃-玻璃 PMMA-PMMA	矽-矽 矽-玻璃 玻璃-玻璃	矽-矽	矽-矽 矽-玻璃 玻璃-玻璃
接合溫度	300 °C-500 °C	矽-矽：700 °C-1400 °C 玻璃-玻璃：650 °C-830 °C PMMA-PMMA：160 °C	120 °C-400 °C	先高於共晶溫度(Si-Au：370 °C)再降回室溫	400 °C-600 °C
接合強度	高，約 2.4 MPa	高	差	高，約 148 MPa	普通
接合面表面粗糙度要求	高 < 1 μm	對表面粗糙度敏感度高	普通	高	低

(1) 陽極接合 (Anodic Bonding)

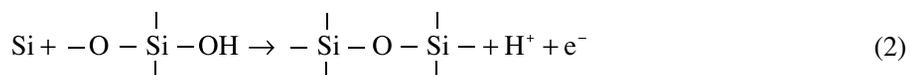
① 玻璃-矽陽極接合

1969 年由 Wallis 及 Powerantz 首先發現⁽¹³⁾，在金屬陽極及玻璃間加一靜電場，可以讓其在低於一般以熱接合 (thermal bonding) 之溫度下，產生很強的接合。雖然此種接合的機構尚未有定論，但是在矽-玻璃界面形成 SiO₂ 之薄層應是其具有強鍵結的原因。矽-玻璃之鍵結為氣密性的，且其強度高於基板⁽²⁵⁾。一般的接合機構可由電化學觀點來描述含 Na 玻璃與矽的接合現象。圖 10.21 所示為玻璃-矽陽極接合裝置之示意圖，由於接合在高於室溫時發生，因而玻璃之熱膨脹係數必須與 Si 配合，以減低應力及翹曲 (warping) 的現象。Corning 公司之 Pyrex 7740 (SiO₂：79.6%，Na₂O：3.72%，K₂O：0.02%，Al₂O₃：2.4% 及 B₂O₃：12.5%) 玻璃具有與 Si 非常接近的熱膨脹係數而廣被使用。

陽極接合機構之示意圖如圖 10.22 所示⁽²⁶⁾。陽極之反應最終形成強的 SiO₂ 鍵結，但其形成過程中可能受到水氣的作用產生 SiO₂⁽²⁷⁾：



相似的機構也可能發生於 Pyrex-Si 介面：



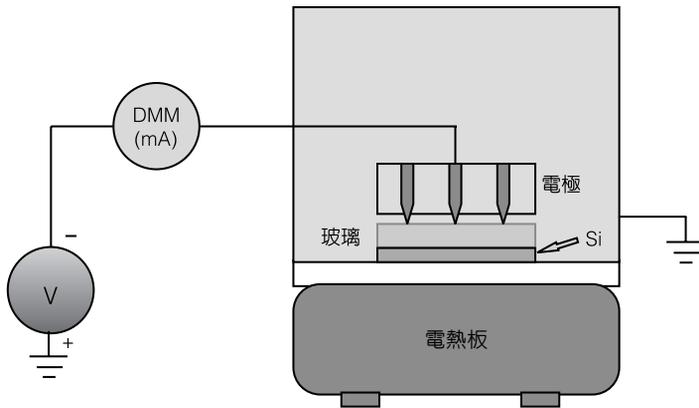


圖 10.21

玻璃—矽陽極接合裝置之示意圖。

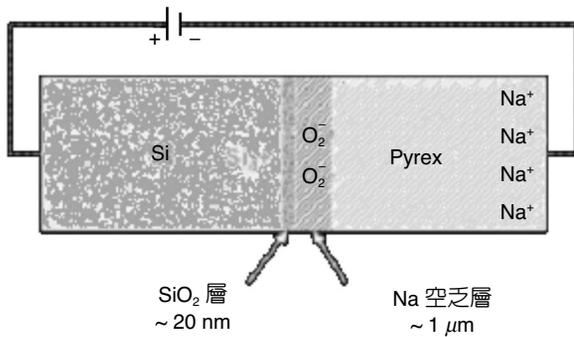


圖 10.22

陽極接合的接合機制。

玻璃成分中的 Na_2O 在陽極也被氧化：



鈉離子由於電場的吸引，擴散到陰極而被還原：



事實上，在實際接合後，白色物質會形成於陰極與 Pyrex 玻璃之間，此即為形成的鈉金屬與空氣中的水氣反應物：氫氧化鈉。

在一定電壓下，接合過程受到高溫時玻璃之導電率控制。在初始充電電流之後，高電場建立於空乏層上，大部份的電壓降落於此層。此陽極空乏層的形成是由於玻璃中之陽離子相對於陰離子有較高的移動率所致。在陰極不會有此空乏層，係因鈉離子的快速擴散且鍍出所致。由於電中和的關係，在陽極有過量的正電荷，而在空乏層及陰極則有過量的負

電荷。此種電荷的傳遞是由玻璃的高溫電導率所主宰，而此高溫電導率則由玻璃中鈉的移動率活化能所決定。

對一定成分的玻璃，需要有一定量的電荷轉移才可形成完全的接合。Arata 發現⁽²⁸⁾，當玻璃中鹼金屬含量增加時，所需完全接合的電荷轉移量可以減少，接合的溫度也可以降低。這是因玻璃中鹼金屬含量增加時，玻璃之高溫電導率增加，金屬離子在空乏層的移動率及溶解度都隨著增加之故。接合的溫度降低的話，接合電壓就要跟著增加，以補償因溫度較低所導致之低電導率，達到一定的電荷轉移量。

玻璃—矽陽極接合之接合界面，除非是在一階高 (step) 或顆粒 (particle) 旁邊，否則通常為氣密性的 (hermetical)，其接合強度高過玻璃本身的強度。在玻璃—矽陽極接合時，接合面是否經過處理而粗化，以及晶片是否清洗，都會影響接合的好壞；這些都屬於晶片表面的狀況問題。如果晶片接合面不清潔時，即使是在高溫、長時間及高電壓下也無濟於事。對某些感測器而言，由於線路上有 Al 的金屬線，接合溫度不可高過 450 °C，否則在更高的溫度如 500—600 °C，由於玻璃軟化可稍微變形，即使在不規則或粗糙的表面亦可接合⁽²⁹⁾。所以接合製程之參數將隨晶片表面狀況而定，範圍相當寬廣。在表面乾淨又平滑的條件下，即使很低的接合溫度也可以接合起來。如 Takagi 等人所示的是一極端⁽³⁰⁾，可在室溫做矽—矽直接接合的例子：晶片表面很平且在真空中以氬氣束 (Ar beam) 清潔表面。

文獻報導之玻璃—矽陽極接合拉力強度變化相當大，從 2.2 MPa⁽³¹⁾ 到 220 ± 70 MPa⁽³²⁾ 都有。接合拉力強度之變化所以會這麼大，除了在測試時操作之影響 (如引起剪應力) 以外，試片之接合方式 (是否平面與平面接合及接合面積)⁽³³⁾ 有相當大的關係。Cozma 等人使用具高台 (mesa) 構造之矽晶片與 0.5 mm 及 1.5 mm 厚度之玻璃片接合後做拉伸試驗⁽³¹⁾。當使用 1.5 mm 厚度之玻璃片與平面構造之矽晶片，在 350—450 °C、電壓 500—1050 V 接合後，其拉伸強度隨著所給的溫度及電壓增高而增加，由 2.2 MPa 增加到 3.75 MPa。當使用 0.5 mm 厚度之玻璃片與具高台構造之矽晶片，在 400 °C 接合後 (電壓不知)，其拉伸強度達到 12.4 MPa。Johansson 等人針對含有高台 (或短柱) 構造，不同高台面積比例之玻璃—矽陽極接合強度做一研究⁽³³⁾。高台面積有三種：270 × 270 μm²、110 × 110 μm² 及 27 × 27 μm²，而高度為 4—6 μm，每一高台位在 1 mm² 面積內且等距。最後試片大小為 16 × 16 mm²。當接合面積比 (r_b) 很小時，即小的高台時，其強度很低，約只有 2 MPa。當接合面積比大於一臨界值以上時，接合強度高達 25—50 MPa。此臨界值很低，約為 1%。

他們認為 r_b 很小時之低強度，主要是由於玻璃與未接合矽間之不同熱膨脹係數引起之內應力所致。此內應力以剪應力之方式作用於接面，使得接合強度降低許多。當接合面積比大於一臨界值以上時，由外來應力引起而在高台角落的應力集中，為接合強度的限制因素。同樣 Johansson 等人在另一研究中以三點彎曲試驗對小的試樣 (180 × 440 μm²、4 mm 長，含中間的矽晶粒 0.43 mm 長)，發現彎曲強度可達 220 ± 70 MPa⁽³²⁾。其強度比一般高 5—10 倍的原因為接合表面狀況良好，及很小試片上缺陷發生率低所致。破壞之起因為接面微小的灰塵顆粒所引起的圓形未接合區，接合強度實際上可以更高。因而接合強度值與試樣大小、試樣接合方式及測試方法等有相當大的關係。而用拉力試驗機測試 2.5 × 2.5 mm²

試樣大小時，所測得之玻璃－矽陽極接合強度，由試片多從玻璃層處破裂，推測較接近真正之強度，約為 40–47 MPa⁽³⁴⁾。所得之強度與當接合面積比大於一臨界值以上時之接合強度 25–50 MPa 相當。

Shoji 等使用含鋰矽酸鋁－ β 石英之玻璃陶瓷，可以在 180 °C 以下、7000 V 之條件下接合，且接合強度可達 25 MPa 以上⁽³⁵⁾。此種玻璃陶瓷是由高含量之鹼金屬玻璃區與很小的 β 石英結晶所組成。玻璃區具有熱膨脹係數大及在低溫時鹼金屬移動率高的特質；而控制具有很小熱膨脹係數之 β 石英結晶的大小與分布密度，可以調整玻璃陶瓷的熱膨脹係數。所使用玻璃陶瓷的熱膨脹係數與 Pyrex 玻璃 (Corning 7740) 相當，但其低溫電阻率則較低，有利於低溫接合。如此之低溫接合有許多好處，如可使用錫鉛焊接作電之導通，接合所引起之應力較低等，對 MEMS 之封裝相當有利。

② 矽－矽陽極接合

陽極接合中，玻璃的熱膨脹係數必須與矽的熱膨脹係數相當，以避免熱應力之發生而翹曲或破裂。為避免此問題，可以在矽基板上做一層玻璃層，再與另一片矽基板做陽極接合。此種矽－玻璃－矽陽極接合是借用玻璃－矽陽極接合之概念，將兩片矽晶片接合起來。此為在其中一矽晶片上鍍玻璃膜，再與另一片裸矽晶片 (bare Si) 接合之方法。此中間層之玻璃層，可以用濺鍍^(36, 37)、蒸鍍^(38, 39) 或旋鍍法⁽⁴⁰⁾ 製作。使用此玻璃中間層，可以在低溫及低電壓 (~50 V) 將基板接合起來。不過，所得之接合強度通常都低於傳統之塊狀玻璃－矽陽極接合者⁽⁴⁰⁾，其原因在於接合強度與溫度的關係⁽⁴¹⁾ 及與玻璃層表面的品質有關。Ko 等人所使用之玻璃鍍膜方法為 RF 濺鍍，靶材為 Pyrex 7740⁽²⁹⁾。他們發現濺鍍的玻璃膜厚度最少需 3 μm 以上才會有好的接合。所得之玻璃膜成分為 Si-rich。為了減低接合時高電場所致崩潰 (breakdown) 的機會，需將玻璃膜在 650 °C 水氣氛下熱處理 1 小時。由於 RF 濺鍍法鍍數 μm 厚之玻璃膜非常耗時，有些人改用 SOG (spin-on-glass) 法來鍍玻璃膜⁽⁴⁰⁾，使用 SOG 法所鍍之玻璃膜需在 400 °C 真空中或 450–500 °C 空氣中加以熱處理。在 120–180 V、溫度 400–420 °C 下接合之接合片，強度可達約 3.5 MPa。

③ 玻璃－玻璃陽極接合

Berthold 等人發現，藉著一層 CMOS 製程相容之薄膜，如氧化矽、氮化矽、多晶矽、非晶矽 (amorphous Si) 與碳化矽等，也可以將玻璃與玻璃片以陽極接合之方式接合起來⁽⁴²⁾。實驗結果是，靠近陽極端之玻璃片上不用氧化矽薄膜 (除非玻璃與氧化矽膜間有另一層多晶矽或氮化矽) 而用其他任何一種薄膜時，可與另一片靠近陰極端之無鍍膜玻璃或鍍有氧化矽之玻璃片接合。靠近陰極端之玻璃若鍍有氮化矽、多晶矽、非晶矽與碳化矽等膜時，則無法接合。接合條件與一般之陽極接合條件相似：400 °C、700–1000 V、10–30 min。他們認為玻璃與玻璃之陽極接合機構，是因陽極端玻璃片上的非氧化矽薄膜是玻璃中鈉離子的擴散障層，因而可以在界面上建立高的靜電場；而此高的靜電場產生強的靜電吸引力，將兩玻璃片接合起來。

電極設計⁽⁸⁾

由於陽極接合屬於一種無介質的接合技術，接合時接合面所產生的殘存氣體可能會因封合而無法排出，形成氣泡影響接合品質。德國專利 DE4423164 和 DE4426288 分別為解決氣泡問題而發明，其機制主要是陽極接合通常先發生於電極下方，隨時間的增加使接合區域擴散至整個晶片。這兩個專利都以輻射狀由內而外散開，差別在於一個是以電極針的方式排列，另一個以輻射排列的連續壁設計，但其功能都是以能驅除接合面氣泡為主。由於在觀察陽極接合實驗時，發現晶片邊緣較晶片內的接合速度來得快，所以此種設計的電極在邊緣處還是有可能發生氣泡包藏於接合面的情形。為改善此情形，Huang 等人發展一種螺旋排列的電極，如圖 10.23 所示⁽⁸⁾。在設計這些電極之前必須假設每支電極針所受的電場皆相同，且能平均的與玻璃表面接觸，也就是說玻璃接觸電極針的負荷是相同的，以鹵素燈管作加熱源，經由石墨電極板後能均勻的將溫度平均的傳至矽晶片及玻璃，並將每支電極都裝上彈簧來改善與玻璃接觸的平均負荷，做這些設計都是為了使每一支電極針所造成的接合區域能相同，且能以固定速率的向外延伸接合區域。

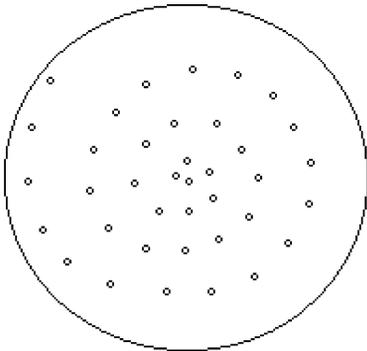


圖 10.23
螺旋排列的電極矩陣⁽⁸⁾。

當溫度上升至 300—400 °C 後，通入直流電壓 300—1000 V 使負電壓同時經由電極針將電壓傳入玻璃中，陽極接合便開始。接合初期因電極針的排列方式，在接合面會產生螺旋線狀的接合區域，即為接合所產生的氧化層 (灰色狀)，及同樣為螺旋線狀的未接合區域。隨時間的增加，未接合的區域將因螺旋線逐漸的擴張而由中心至晶片邊緣逐漸消失，因為未接合區域由內而外以螺旋狀逐漸消失，所以使得因接合而造成的界面氣泡有排出的空隙，待未接合區域消失後，接合面的殘存氣體也完全釋出而消失⁽⁴⁾。

應用

近年來陽極接合普遍用於微機電結構之間的接合，最常應用在感測器的結構組合，如圖 10.24 所示。圖 10.24(a) 為一種電容式的壓力感測器，當壓力改變時，矽晶圓所蝕刻出的

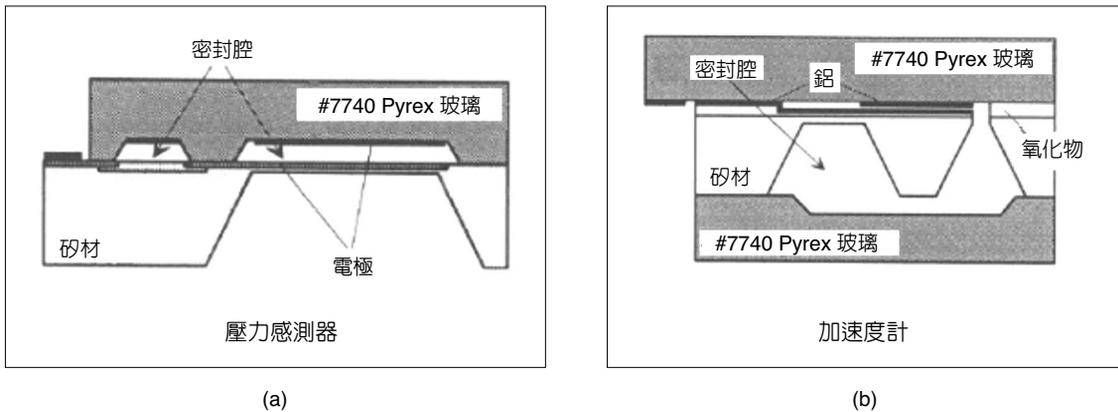


圖 10.24 陽極接合的應用。

薄膜將會收縮而造成電容值的改變，將其訊號轉換可得到壓力值；同樣地，如圖 10.24(b) 所示的加速度計可利用蝕刻技術將矽晶圓蝕刻出一個小質量結構，當慣性改變時同樣量測電容的變化而得到加速度值。上述之感測器及加速度計中所用的玻璃與矽晶片之間的結構接合，皆用陽極接合使其完成⁽⁴⁾。

(2) 融合接合 (Fusion Bonding)

融合接合法就是將兩欲接合之晶圓片經潔淨製程 (clean process) 處理後，利用旋乾過程 (spin dry) 使表面能夠保持適量水分子薄膜，然後在「微潔淨室 (micro-cleaning room)」裝置內⁽¹⁹⁾ 直接面對面接合 (face to face bonding)。再將此接合晶圓片 (bonded wafers) 置於氣氛爐中加熱，作高溫退火 (annealing) 處理，使兩表面間的原子能互相反應形成化學鍵結，而讓此兩晶圓片合而為一。依據兩晶圓材料在經潔淨製程後、接合前的表面對水分子吸附狀態，可分為「親水性 (hydrophilic)」及「疏水性 (hydrophobic)」兩大類接合狀態⁽²⁰⁾。以矽晶圓材料為例，分述達到此兩狀態之處理方法及接合後結果的比較。

• 親水性晶圓接合狀態

現今晶圓廠在矽晶圓潔淨製程中普遍使用之潔淨處理溶劑，為所謂的標準一溶液 (SC-1 或 RCA-1)，主要目的是移除顆粒 (particle) 及附著在表面的碳氫化合物 (organic)。溶液組成為氨水 (NH_4OH)、過氧化氫 (H_2O_2)、去離子水 (D.I. water)，依體積比 1 : 1 : 5 至 1 : 2 : 7 互溶組成。後續再經標準二溶液 (SC-2 或 RCA-2) 處理，主要潔淨目的是移除表面附著含金屬 (metal) 或鹼金屬元素 (alkali) 成分之雜質。溶液組成為鹽酸 (HCl)、過氧化氫 (H_2O_2)、去離子水，依體積比 1 : 1 : 6 至 1 : 2 : 8 互溶組成⁽²¹⁾。在接合兩晶圓片之前，將欲接合之晶圓片經此潔淨製程處理，使晶圓片表面附著之顆粒、雜質、化學污染物等等皆能盡量除去，以期獲得純淨之接合界面，滿足接合條件對表面的嚴苛要求。由於欲接合之晶圓片經

此潔淨製程處理後，晶圓片表面常形成含水的薄氧化膜，也就是所謂自然氧化層 (native oxide)，致使呈現親水性。這項特質被認為是有助於接合反應，因其有張緊的氧化層，使得水分子能較容易地附著在其上，在兩互相接合之平面間，形成氫鍵 (hydrogen bonding) 橋樑互相吸引，如圖 10.25 所示。接合力遠較純靠原子間的凡得瓦力 (van der Waals force) 互相吸引強許多，因而較易達成初步的面對面接合⁽²²⁾。

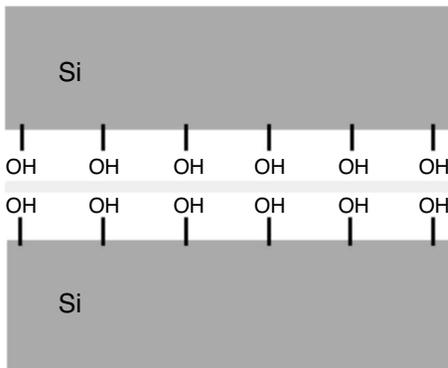


圖 10.25

水分子附著在兩互相接合之平面間，形成橋樑，使之彼此接合⁽³²⁾。

在完成初步接合程序之後，將接合晶圓片置於氣氛爐中加熱，作高溫退火 (annealing) 處理，經一段充分退火時間，使兩表面間的水分子能獲得熱能，得以擴散逸出接合表面，使接合表面原子間隙因而縮短並互相靠近，如圖 10.26 及圖 10.27 所示。當兩表面之原子與殘留的接合橋樑原子，如水分子擴散後留下氧原子，靠近於一臨界距離，圍繞原子之電子雲便能混成以形成鍵結軌域，發展成為化學鍵結，進而融合兩接合表面成為一接合界面 (bonding interface)⁽²³⁾。

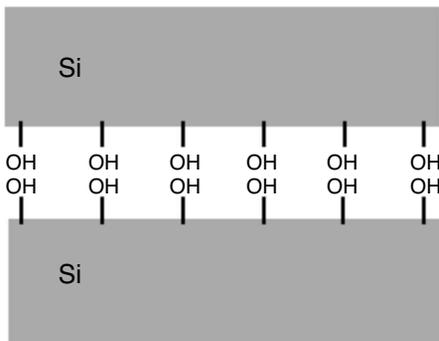


圖 10.26 水分子擴散逸出接合表面，使接合表面原子間隙因而縮短，互相靠近。

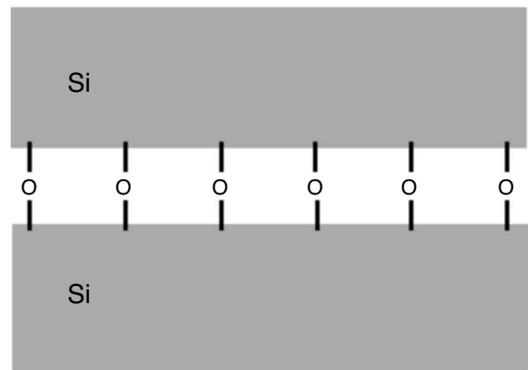


圖 10.27 兩矽晶圓接合表面原子與氧原子發展成為化學鍵結， SiO_2 ，融合為一⁽³³⁾。

此現象可由以下實驗結果推測出來，即兩接合面間的接合能 (bonding energy) 在一定退火溫度下退火，當退火時間愈久，測量的接合能升高量也愈大，能量—時間曲線亦以正比率上升，直到一穩定平衡狀態，即是「飽和接合能 (saturated bonding energy)」狀態，如圖 10.28 所示。而此能量與退火溫度成正比率關係，在一定退火時間間隔內，當退火溫度愈高，測量的飽和接合能升高量也隨之增大，如圖 10.29 所示。因為退火時間愈久，能夠參與反應的表面原子也愈多，形成的化學鍵密度也愈高；而退火溫度愈高，使得表面原子越過活化能量障礙機率增大，因而在單位時間內參與反應的表面原子數量能大幅提高，形成的化學鍵密度也隨而提高，接合能因而提高。

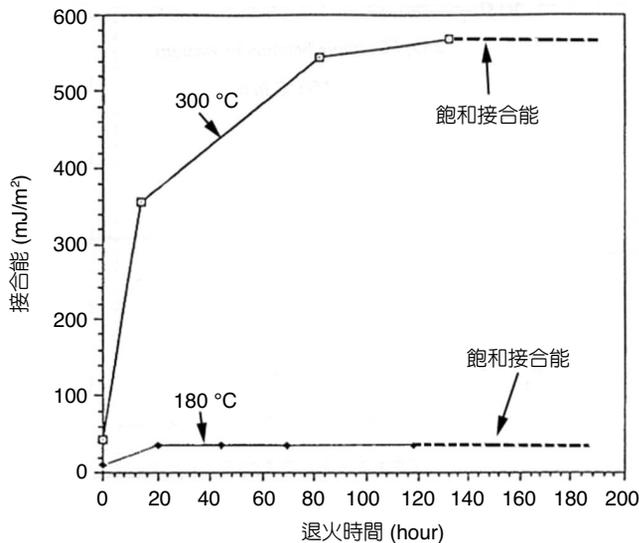


圖 10.28

測量的接合能與退火時間以正比率關係存在，能量—時間曲線隨時間增加而上升，直到一「飽和接合能」穩定平衡狀態。

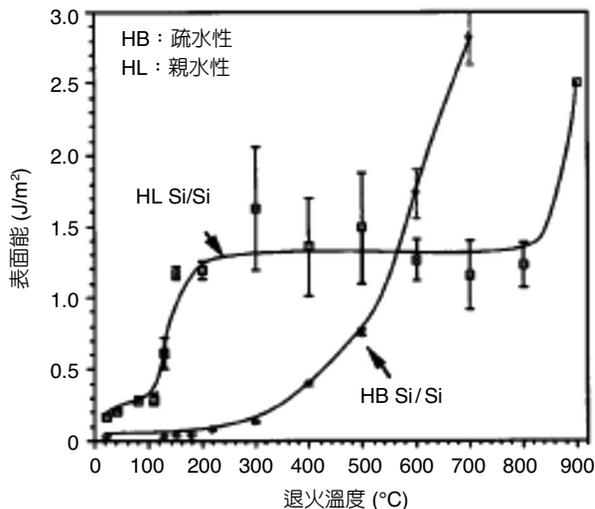


圖 10.29

退火溫度愈高，飽和接能升高量也隨之增大(退火時間均為 100 小時)。

• 疏水性晶圓接合狀態

「疏水性」晶圓表面狀態之形成是由於晶圓片經過潔淨過程後，再經氫氟酸 (HF) 漂洗，完全除去表面氧化層，因矽原子為四面體對稱，使表面不易形成電耦極性，故不易與水分子產生氫鍵，因此水分子難以附著，呈現大固-液界面之接觸角，使表面表現為「疏水性」。但相較之下，氫離子因為是正離子且體積小，能吸附於矽原子表面，產生有微弱偏極化 (polarized) 的 Si-H 鍵或強偏極化的 Si-F 鍵，再與對面的 Si-H 鍵或 Si-F 鍵以 H-F 作橋樑相連，造成初步接合結果⁽²⁴⁾，如圖 10.30 所示。但由於氫離子在矽晶圓表面密度並不高，以致此法所得之初步接合的鍵結能與「親水性」晶圓接合所得之鍵能相形之下 ($10-20 \text{ mJ/cm}^2$ vs. 100 mJ/cm^2) 十分微弱。但一經高溫退火處理，在 500°C 左右時，鍵能增加率反較大，如圖 10.29 所示。此法以氫離子作為鍵結橋樑，所以沒有以氫氧離子作為鍵結橋樑產生之氧化現象，對接合界面而言，因無氧化物產出，可以獲致接近無電阻產生之界面。此為欲以晶圓接合與材料磨耗方式取代磊晶方式，在 n 型晶圓片上長厚 p 型晶圓層 (或相反)，製作 $p-n$ 二極體時為重要的考量點。

以下將常見的融合接合之應用步驟，加以簡單說明：

① 矽與矽接合步驟

清洗矽晶片 → 去離子水洗淨 → 將晶片置於旋轉塗佈機旋乾 → 晶片互相接觸並加壓 → 置於高溫 $700^\circ\text{C}-1400^\circ\text{C}$ (如圖 10.31 所示)。

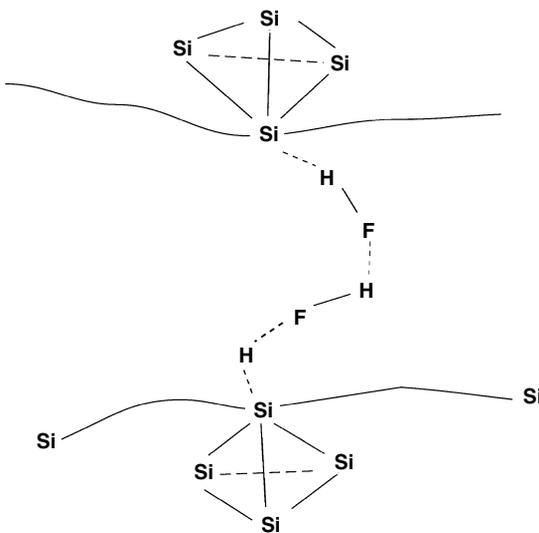


圖 10.30 微弱偏極化的 Si-H 鍵與對面的 Si-H 鍵以 H-F 作橋樑相連，造成初步接合結果。

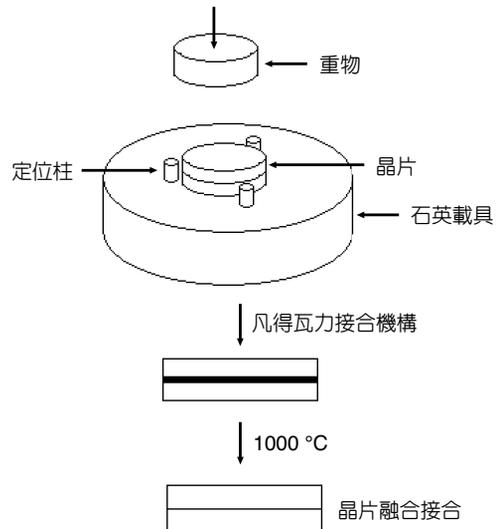


圖 10.31 矽融合接合裝置示意圖。

② 玻璃與玻璃接合過程

玻璃與玻璃融合技術為將玻璃與玻璃經高溫加熱達到玻璃軟化點，而將玻璃與玻璃接合。其接合過程如下：

將玻璃置於 $\text{NH}_4\text{OH} / \text{H}_2\text{O}_2$ 水溶液中清洗 → 去離子水洗淨及氮氣吹乾 → 將玻璃與玻璃互相接觸後，置於烤箱 $650\text{ }^\circ\text{C} - 830\text{ }^\circ\text{C}$ → 重複先前步驟二至三次，去除接合瑕疵。

③ PMMA-PMMA 接合過程

此融合接合技術是將 PMMA 經由高溫 ($160\text{ }^\circ\text{C}$) 加熱融合，而接合在起的方法。由於融合過程採用高溫處理，為避免融合後降至室溫時所產生 PMMA 翹曲現象，因此進行退火 (anneal) 時須花費較長的時間。其接合實驗步驟如下：

清洗 PMMA 晶片 → 將 PMMA 晶片置於旋轉塗佈機旋乾 → 將 PMMA 晶片互相接觸並加壓 → 置於烘箱 $160\text{ }^\circ\text{C}$ 、10 分鐘⁽⁷⁾。

10.3.4 介質接合

有介質接合技術為添加一介質層提供類似黏膠方式或利用原子擴散產生化合物使介質層和母材相接合，達到晶片結合的接合技術，其接合溫度可以為高溫或低溫⁽⁷⁾。

(1) 黏接接合

使用有機高分子材料作為接著介質層，提供類似黏膠方式接合。將晶片膠合的方式為黏接接合。比起陽極接合或融合接合來說，其好處是它可將各種不同材質的基板在甚低的溫度接合，且不必用電壓或電流。而且由於晶片表面之形貌對黏結物接合之影響不大，因而可以接合經過 CMOS 製程的晶片，對表面污染物也較不敏感。其缺點則為接合當中易生氣泡、不易維持圖樣之解析度、需加壓力、對準困難、非氣密性接合，且有可能會流入所要保留之腔體 (cavity) 或流道 (channel) 中等。作為中間介質材料之高分子種類繁多，如光阻劑 (一般薄光阻及 MEMS 用厚光阻)、蠟、環氧樹脂 (epoxy)⁽⁴⁸⁾ 與 BCB (benzocyclobutene) 等，完全視應用時對熱、化學及機械特性等之需求而定。

大部分高分子材料與矽或二氧化矽的黏著程度不好，需先在晶片表面塗佈底漆 (primer) 或接著增強劑 (adhesion promoter)，以增強黏著度。部分聚亞醯胺 (polyimide) 含有接著增強劑，底漆以 HMDS (hexamethyldisilazane) 較為常用。

由於高分子材料含有 50% 以上的溶劑，在大面積接合時，會有氣泡產生。雖然可用預烤 (prebake) 先去除大部份的溶劑，在最後接著時仍無法避免氣泡產生。對於無法承受高溫接合的元件，黏接接合提供較低的接合溫度 ($120\text{ }^\circ\text{C} - 400\text{ }^\circ\text{C}$)。黏接接合如圖 10.32 所示，但有機介質接合強度相對低於其他接合技術⁽⁷⁾。

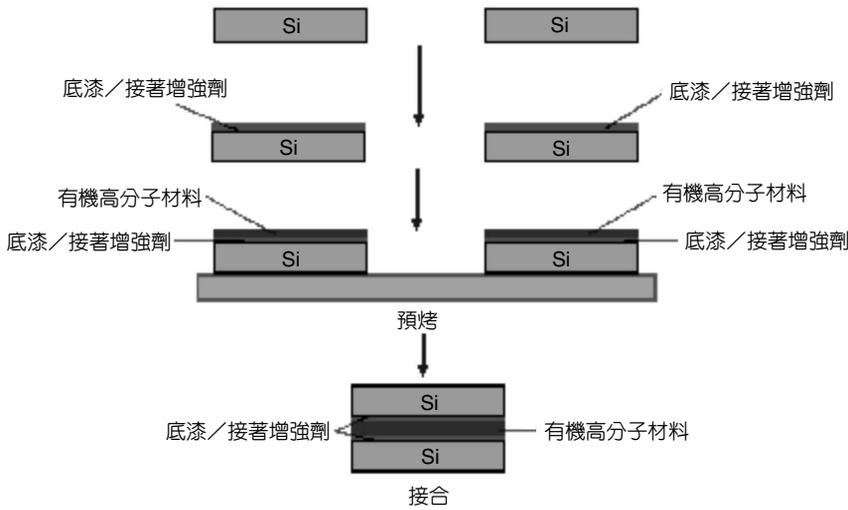


圖 10.32
黏接接合流程圖。

另一種黏接接合法是使用 UV (紫外線) 感光接合有機接合劑的方法，接合溫度一樣約在 130 °C，用於晶圓層級的封裝。黏接方法是將 UV 硬化光阻塗佈在基材上，再將光罩放在上面經過 UV 光的照射使光阻硬化得到所要的圖案，再將另一基材放在硬化的光阻上，使兩基材黏結。使用高分子的厚度約數百微米，優點是結合層有彈性，缺點是機械性質不高及對於高的蒸氣壓力密封性會減少。

彈性高分子如 PDMS (polydimethylsiloxane) 有極佳的黏著性，可用於多種的基材，並以非永久性密封方式包圍微流道。另外也使用電漿氧化 PDMS 表面，以形成永久性的密封。據推測此介於兩個 PDMS 元件之間的永久性鍵結，是來自於共價矽氧烷 (siloxane) 鍵的凝結反應⁽⁷⁾。

以 BCB 為中間介層材料，Niklaus 等人研究接合具有流道或凸出結構晶片之接合條件⁽⁴⁹⁾。以固化的 BCB 為中間介層具有高接合強度、耐多種酸鹼與有機溶劑以及在可見光範圍具有高透明度 (> 90%) 等好處，特別適合於微流體、光與封裝之應用。為了防止 BCB 在接合時流入所要保留之腔體或流道，塗佈之 BCB 厚度比起流道之尺寸需薄，如 1 μm 之 BCB 厚度對比流道之 50 μm 深 \times 50 μm 寬。5 μm 之 BCB 厚度，接合後就會充滿 50 μm 深 \times 100 μm 寬之流道。接合壓力隨應用不同需加以調整，壓力不足會在接合界面留下氣泡；不加壓力則接合不好，面積較大之處會馬上分開。在實驗中，經過 70 °C/5 min 預加熱後，在 1.7 bar 的壓力下接合，都不會有氣泡殘餘。若要使接合後之 BCB 厚度均勻，那麼接合壓力也必須均勻。

Niklaus 等人經由對多種高分子及其接合條件之實驗結果，綜合影響因素如表 10.10 所示⁽⁵⁰⁾。

表 10.10 接合條件對接合結果之影響因素。

	對空孔形成的影響	評論／解釋
黏合劑材料	高	具有低體積收縮率的材料在固化期間，僅會於接合面造成較少的空孔。固化的披覆層的楊氏係數不會影響空孔的量。所有預固化的披覆層的微粗糙度接非常小且大小相差不多。
接合壓力	高	高接合壓力強迫晶圓表面更緊的互相接觸
預固化時間與溫度	中	若沒有預固化會導致溶劑揮發，形成氣泡。高預固化溫度會增加空孔的形成，因為高分子化的數量增加。
披覆厚度	低	對於薄披覆層（小於 $1.5 \mu\text{m}$ ）空孔似乎較易形成，因為小粒子或表面不均勻的存在，無法以薄層變形來補足。
在兩晶圓的表面接加上披覆層	無	量測顯示無明顯影響

(2) 共晶接合

共晶接合是利用金屬－矽相圖中之共晶點，形成矽化物當作中間層^(29,43)；或是金屬－金屬相圖中之共晶點，形成中間化合物當作中間層，而將兩片晶片接合的方法。例如，在一片矽晶片上鍍上金的薄膜，與另一片矽晶片加熱接合時，在甚低於金或矽各自熔點之 363°C 低溫下，可形成金矽之共晶熔點。對錫鉛系統，其接合溫度甚至可低至 183°C 。另一例子為利用 Ti/Ni 當作中間層，來接合玻璃與矽晶片，其有好的接合應歸功於 Ni 與 Si 在 440°C 形成矽化物，以及 Ti 與玻璃有好的黏結力的關係⁽⁴⁴⁾。其他系統還包括 AuSn (80 wt.% Au－20 wt.% Sn 共晶溫度為 278°C)、AuGe、AlGe (70 at.% Al－30 at.% Ge 共晶溫度為 424°C)、In-Sn (50 at.% In－50 at.% Sn 共晶溫度為 120°C) 等^(45,46)，圖 10.33 為共晶接合示意圖。

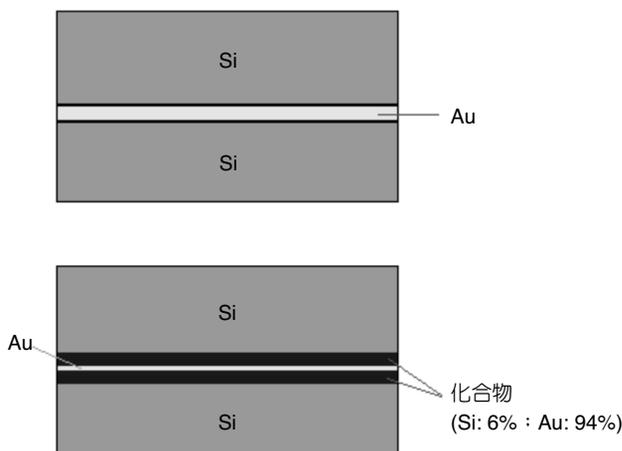


圖 10.33
共晶接合示意圖。

共晶接合之好處為相對低的製程溫度，以及可在較粗的表面狀況下接合 (因熔融物可以填滿表面不平之處)。其壞處則為，接合時通常需加一壓力及機械動作在晶片上，以克服矽上有自然氧化層存在以至於不易接合的問題；大面積晶片不易完全接合，以及當有 CMOS 電路在 MEMS 元件上時，這些金屬是污染源的問題。以 AuSn 預形片 (preform) 來做壓阻式壓力感測器之共晶接合，發現有相當大的殘餘應力，影響其長期穩定性 (漂移, drift)⁽⁴⁷⁾。

(3) 玻璃介質接合 (Glass Frit Bonding)

藉由低熔點的玻璃為接合介質，將晶片接合的方式稱為玻璃介質接合。膠糊狀低熔點玻璃介質以旋轉塗佈或經紗網印刷至晶片上，經預烤去除溶劑，再將晶片互相接觸加壓烘烤。膠糊玻璃介質可整平晶片表面，故對於界面平整性及乾淨程度要求較不高，工業上較常用於封裝及密封。圖 10.34 為玻璃介質接合完成圖。

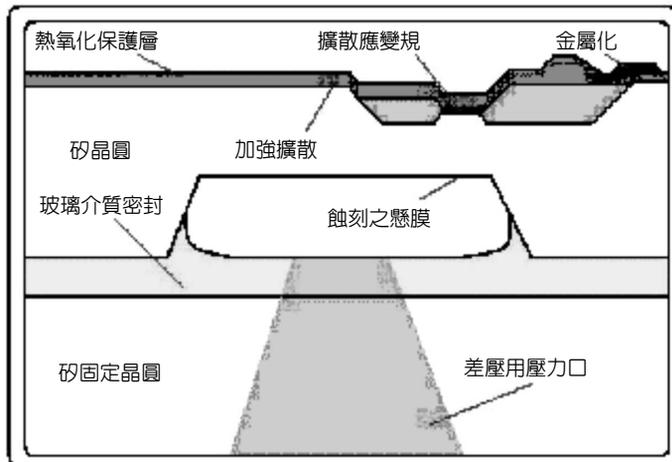


圖 10.34

玻璃介質接合完成剖面圖。

圖 10.35 為玻璃介質接合流程圖，其過程為：

1. 清洗晶片 (玻璃晶片或矽晶片)。
2. 塗佈玻璃介質—旋轉塗佈或紗網印刷。
3. 預烤玻璃介質—將含厚膜玻璃介質的晶片在 300 °C—375 °C (溫度依不同種類玻璃而有不同) 預烤 30 分鐘，去除溶劑。
4. 將兩晶片接觸，並施予壓力。
5. 最後烘烤—將晶片組合在 400 °C—600 °C (溫度依玻璃種類而定) 30 分鐘，做最後玻璃介質燒結⁽⁷⁾。

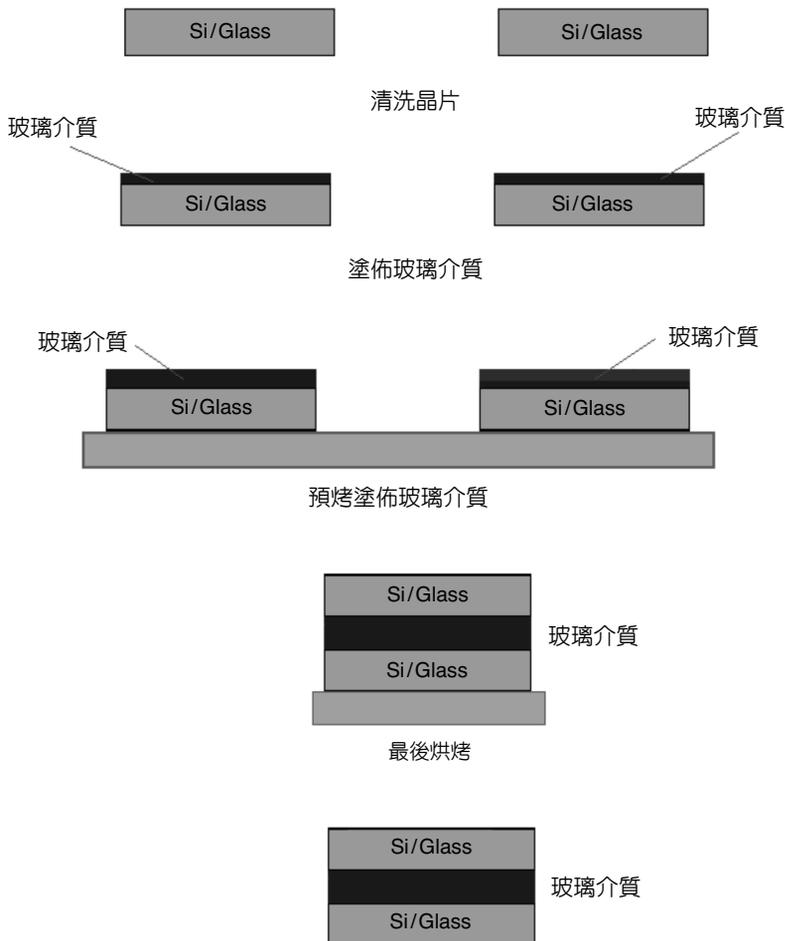


圖 10.35
玻璃介質接合流程圖。

10.3.5 低溫接合法

當兩欲接合晶圓材料互為異質材料時，因各具有不同熱膨脹係數，在退火處理過程中容易產生熱應力，致使原先接合之晶圓對因線膨脹長度不均，以致使晶圓片起翹彎曲，產生掀拉應力 (peeling stress)⁽⁵¹⁾。嚴重時將導致兩晶圓片分離。若在分離前兩晶圓片之間已產生夠強的接合力，熱應力將扯裂兩接合之晶圓對。故為減少熱應力，最佳方案是在低溫下達到接合兩晶圓片所需之強度。此外，在現今高階晶圓級封裝領域，如三度空間微電子元件製作，及微機電系統領域，如微感測器之製作，因為電子元件已製作在一晶圓片上，故對退火溫度有所限制，以免損壞元件。因應這些需求，低溫接合法 (low temperature Bonding) 於 1995 年就開始發展成為一重要課題⁽⁵²⁾。現今在晶圓接合技術中欲達到低溫接合目的，主要的方法有三：(1) 充分退火時間⁽⁵³⁾，(2) 兩晶圓片在真空環境中接合⁽⁵⁴⁾，以及 (3) 接合前使表面呈現活化狀態⁽⁵⁵⁾。現以矽晶圓材料為例，分別說明以上所述的方法。

(1) 充分退火時間

在退火加熱之能量－時間曲線圖中，由接合晶圓對之接合能量與加熱時間相對應曲線成正比例，且有一平衡態平行曲線出現於「飽和接合能」區，如圖 10.28 所示，可推測在一定退火溫度加熱之下經一段充分長退火時間，能夠獲得一「飽和接合能」。因此當欲得之接合能量若落在相對應較低退火溫度內，由此退火加熱曲線能得知最少之退火加熱時間。依據各不同材料之晶圓，有不同飽和接合能曲線。根據能量－時間曲線，比較欲得之接合能與飽和接合能，可選擇一適當退火溫度加以充分退火時間，而不必過於增高溫度，即可得到欲得之接合能。

(2) 兩晶圓片在真空環境中接合

兩擬接合晶圓對在真空環境中作初步接合，再移至正常大氣環境中作退火處理，可發現經此法接合之晶圓對，在低溫退火下即能獲得相當強的接合能⁽⁵⁶⁾。例如，依此法退火溫度在 200 °C，即可獲致正常接合方法在 1100 °C 才能獲得之接合能，如圖 10.36 所示。可能原因為在接合時空氣分子陷入接合面的濃度較低，使兩方之表面原子接觸面大，因而增進接合之化學鍵的密度⁽⁵⁷⁾。在超高真空環境中作晶圓接合，甚至在室溫下，即能達到一般空氣中接合所得之接合晶圓對需退火至 1000 °C 以上方能達到之接合能⁽⁵⁸⁾。因兩矽晶圓之表面十分潔淨，在超高真空中，矽原子表面原子與相鄰原子間鍵結易斷裂，形成懸浮鍵 (dangling bonds)，雙方的原子懸浮鍵能夠接觸對方，直接快速反應成天然矽原子鍵結，接合能可在反應後立即達到於矽晶圓天然材料強度，如圖 10.37 所示。此方法因不需退火，無界面原子之外擴散 (out diffusion) 問題，能夠保持濃度分布界面十分尖銳，所以十分適用用於製作厚層 *p-n* 二極體⁽⁵⁹⁾。

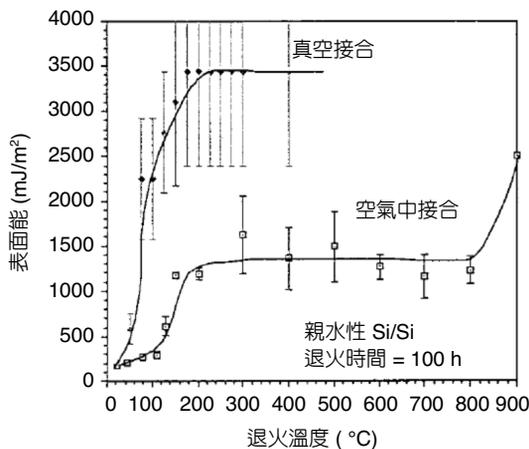


圖 10.36

在真空環境中作初步接合，在低溫退火下即能獲得相當強的鍵合能。

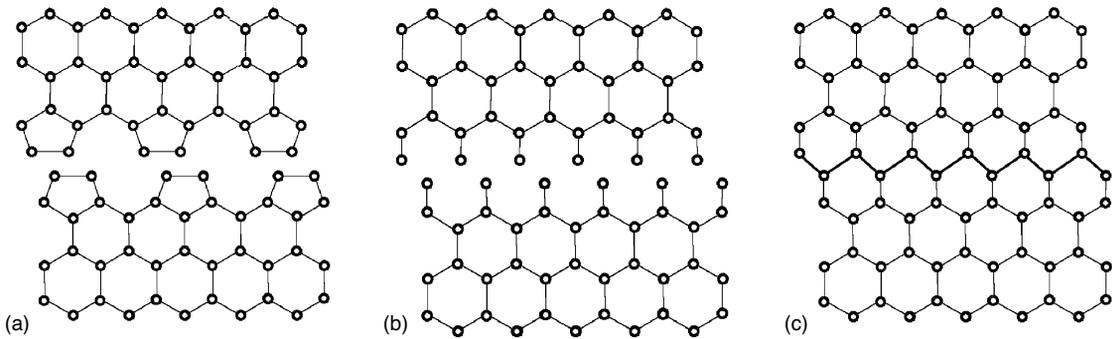


圖 10.37 在超高真空中，(a) 矽原子表面原子與相鄰原子間鍵結易斷裂，(b) 形成懸浮鍵，(c) 雙方的原子懸浮鍵能夠接觸對方，直接快速反應成天然矽原子鍵結。

(3) 接合前使表面呈現活化狀態

在結合前兩晶圓片若能活化表面，例如使表面懸浮鍵密度增加，如此在接觸對方後，直接快速反應成天然原子鍵結，使得接合能強度可在反應後立即達到與晶圓天然材料相同強度。現今採用之方法有二：一為電漿活化接合法 (plasma activation bonding)，如圖 10.38 所示，使用電漿離子撞擊表面來破壞鍵結⁽⁶⁰⁾，讓表面產生懸浮鍵。目前最常使用之氣體為氧氣。此法可使兩接合之晶圓在低溫退火條件下，縮短退火時間完成接合工作。但有一缺點，即在退火時，在接合界面會產生細微氣泡，影響元件工作之可靠性⁽⁶¹⁾。另一法為使用氬氣擊打表面⁽⁶²⁾，一方面作表面清潔工作，另一方面產生懸浮鍵，能夠在低溫下大大地提升接合能。

10.3.6 局部接合法

局部接合法 (localized bonding) 是只加熱局部要接合區域，而整個晶片不加溫的晶片接合法。近來有多種局部加熱的方式被提出來⁽¹⁸⁾，如直接以薄膜 (如多晶矽、金) 做成電阻器而通上電流成為微加熱器加熱接合⁽⁶³⁻⁶⁶⁾、超音波接合⁽⁶⁷⁾、雷射焊接接合^(68,69)、感應加熱接合⁽⁷⁰⁾與局部化學氣相沉積接合⁽⁷¹⁾等。

圖 10.39 所示是用多晶矽導線當作微加熱器，通 46 mA 電流，在 0.1 MPa 壓力下，約 5 分鐘內，將 Al (2 μm)/Si(0.5 μm) 與玻璃局部加熱接合。此 46 mA 電流可讓兩條 3.5 μm 寬 \times 2 μm 厚、2 μm 間距、摻有磷 $7.5 \times 10^{19} \text{ cm}^{-3}$ 濃度的多晶矽導線，溫度上升到 700 $^{\circ}\text{C}$ 。此溫度足以讓 Al 與玻璃之間產生反應而接合⁽⁶³⁾，且接合強度很高。以多晶矽導線當作微加熱器，也可以和玻璃做局部高溫之直接接合 (localized fusion bonding)⁽⁶⁵⁾。5 μm 寬 \times 1.1 μm 厚之多晶矽微加熱器，通 31 mA 電流約 5 分鐘，可局部加熱至 1300 $^{\circ}\text{C}$ ；而離微加熱器 15 μm 遠之處，溫度只上升到 40 $^{\circ}\text{C}$ 。以金當作微加熱器，則可以和矽晶片做局部高溫之共晶接合

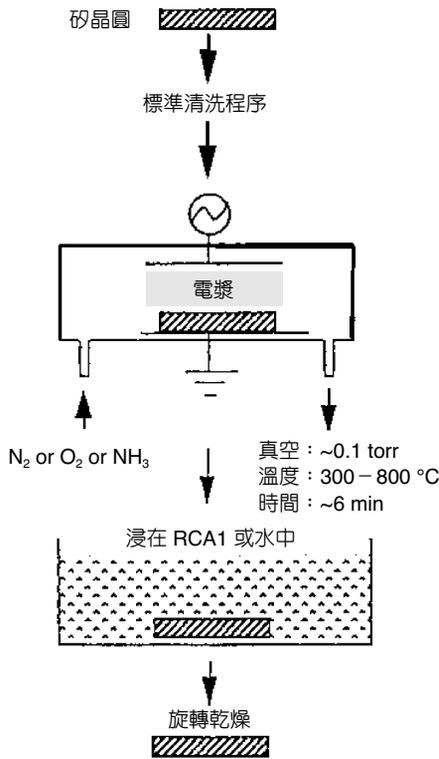


圖 10.38 電漿活化接合法程序圖—使用電漿離子撞擊表面，活化擬接合表面，使接合後之晶圓對能在低溫退火條件下縮短退火時間，完成接合工作。

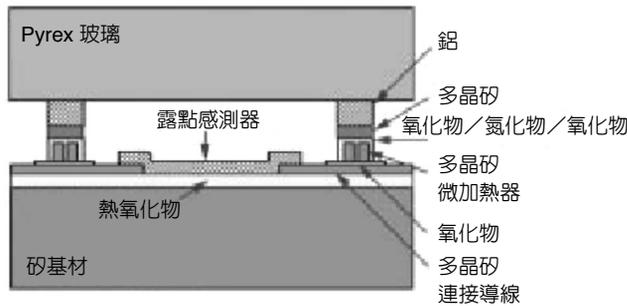


圖 10.39 以多晶矽導線當作微加熱器，將 Al(2 μm)/Si (0.5 μm) 與玻璃局部加熱接合之示意圖⁽⁷³⁾。

(localized eutectic bonding)⁽⁶⁵⁾。以上兩者均需加約 1 MPa 以上之壓力，讓晶片緊密接觸；其接合強度很高，可達 10 MPa 以上。類似的局部加熱原理也使用於塑膠—矽晶片、塑膠—玻璃片及塑膠—塑膠之接合，特別適用於塑膠組合、封裝及含有流體之微流體元件應用⁽⁶⁶⁾。

超音波接合技術也被利用於 MEMS 的封裝與接合⁽⁶⁷⁾。超音波接合廣泛地用於打線接合 (wire bonding) 與塑膠接合。超音波接合原理是利用金屬吸收超音波能量後差排大幅增加與移動，導致金屬塑性變形所需之剪應力降低。在加有負荷之下，氧化物等污染物會被推開，露出乾淨的表面，此乾淨的表面間之直接接觸與擴散，就可以形成接合⁽⁷²⁾。超音波引

起之振動摩擦會在接合面產生熱，增加擴散效果，影響接合強度。接合試片 (4 mm × 6 mm) 有兩組，一為鍍有 0.6 μm Au 之矽晶片與鍍有 5 μm In 圖樣之玻璃片，另一為鍍有 1 μm Al 之矽晶片與鍍有 5 μm Al 圖樣之玻璃片。對要鍍 Al 之試片，需事先鍍 Cr 以增加附著力及防止矽溶入鋁中產生缺陷。超音波功率、所加之垂直負荷、時間、接合面之平坦度與緊密接觸是成功接合與否的重要參數；而超音波側面振動之方式要比垂直振動來得好⁽⁶⁷⁾。

雷射焊接一般是吸收雷射輻射，在兩接合物間形成一液態池 (liquid pool)，當此液態池固化時，就可接合兩物體。雷射焊接的好處為速度快、高精度、高一致性以及低的熱扭曲。以 355 nm 波長、4–6 ns 脈衝寬、聚焦直徑 1 mm 之 Nd:YAG 雷射，可將矽–玻璃片以 4 μm 厚之銲為中間層接合起來⁽⁶⁸⁾。局部之接合是以有圖樣之白紙當作光罩，在 8–22 mJ 之雷射能量多次照射下，銲會吸收雷射能量，而在高溫與玻璃形成好的接合。

感應加熱局部接合是利用金屬接合迴路環，在交流之磁場下，產生渦電流而加熱此金屬環。此金屬環除了當作發熱源之外，同時也可當作接合材料之用。使用 10–15 MHz 交流磁場，線圈功率在 500 W 以上時，可以將玻璃上 6 μm 厚、200 μm 寬、1 mm 直徑之金薄膜，在 0.5 秒之內加熱至約 1000 °C⁽⁷⁰⁾。玻璃 (Pyrex)–金–玻璃之接合，是利用玻璃上鍍有 1.2 mm 大小、6 μm 厚、100 μm 或 200 μm 寬之金環，與另一片玻璃緊密接觸，在 750 W 線圈功率下，將金環加熱至紅熱發光約 900 °C/60 秒，可成功的達到氣密接合。玻璃與聚碳酸酯 (polycarbonate) 亦可接合，其接合時間可以更短，約 100 毫秒就可完成。由於其非常低之熱預算 (thermal budget)，此法可將裝有液態水之腔體接合起來。理論上，感應加熱局部接合方法可以非常快速；但實務上，不可加熱太快，以免有熱點 (hot spot) 發生，形成局部燒毀而無法全面接合。

局部化學氣相沉積接合也是以多晶矽導線當作微加熱器，做局部晶片接合。將如圖 10.40(a) 之兩試片加壓力放置於通有矽甲烷 (silane) 氣體之 500 mTorr 腔體中。當通電於微加熱器使其局部溫度達約 800 °C 左右，矽甲烷氣體就會分解，形成多晶矽而局部沉積填滿於間隙 (圖 10.40(b))，並形成相當高的接合強度。

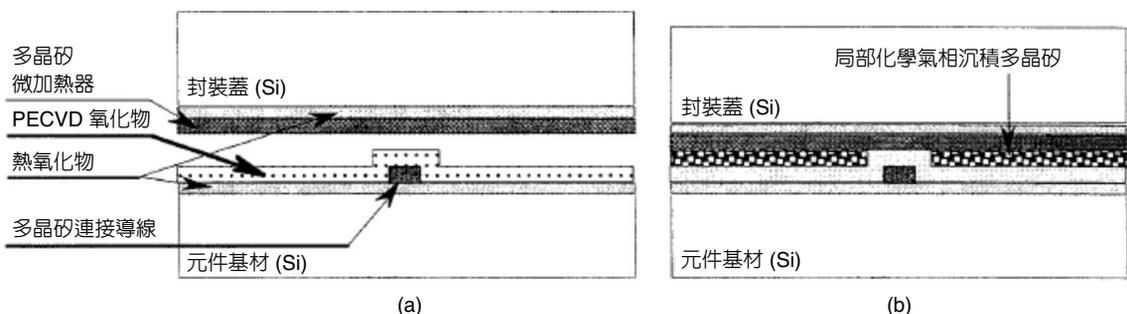


圖 10.40 局部化學氣相沉積接合製程，(a) 接合前，(b) 接合後⁽⁷³⁾。

表 10.11 各種接合技術之綜合比較。

接合技術	溫度	加壓力	電壓	表面粗糙度	氣密性	可靠性	用於封裝
直接接合	非常高	否 (親水性)	否	非常敏感	是	好	否
玻璃-矽陽極接合	中	否	高	敏感	是	好	困難
矽-矽陽極接合	中	否	低	敏感	是	?	困難
玻璃-玻璃陽極接合	中	否	高	敏感	是	?	困難
共晶接合	中→低	是	否	低敏感	是	??	困難 是 (低溫)
黏接接合	低	是	否	低敏感	否	??	是
低溫接合	低	是	否	非常敏感	??	??	否
局部接合	低 (global) 局部：中→高	是	否	敏感	是 否 (塑膠 局部接合)	好 ?? (塑膠 局部接合)	是

雖然有些傳統晶片接合技術，如玻璃-矽陽極接合技術與矽-矽直接接合技術，已經運用在壓力微感測元件之商業化生產上多年，但是其他使用晶片接合技術的商業化 MEMS 產品倒是不多見。其主要原因是如玻璃-矽陽極接合與矽-矽直接接合技術等較為傳統之晶片接合技術，其接合溫度高且表面狀況要求較嚴，製程整合不容易。隨後許多的研究，其目的主要在降低接合溫度，同時希望能維持足夠高的接合強度。無論是元件之接合或是封裝之接合，各種接合技術之共通困難點為電氣上導通 (feedthrough) 之拉出不易，尤其是要求晶片級接合與封裝 (wafer-level bonding and wafer-level packaging) 時。表 10.11 為各種接合技術之綜合比較。

如果可以用晶圓級封裝技術，不但尺寸可減少許多，達到晶粒尺寸封裝 (CSP) 之目的，而且仍能以批量化 (batch) 製程完成產品，成本將可大幅降低，有助於 MEMS 產品商業化進展。

10.3.7 封裝性能檢測 (封裝強度與密封性及殘餘應力)

目前有兩種方式可量測出基板間的接合強度，分別如圖 10.41 所示，圖中 (a) 為拉伸試驗，(b) 為表面能試驗⁽⁴⁾。

一般認為拉伸試驗是最簡單且較直接得到接合強度結果的一種方式，但例如陽極接合，其接合強度通常已超過玻璃本身的結構強度，所以較無法得到真正接合的強度，因拉伸之後破裂面並不在接合面上而是在玻璃。

有鑒於此，還有另一種方式，即是表面能的檢測，如圖 10.41(b) 所示，其方式是將已完成陽極接合的試片以一銳利的刀鋒由接合面插入，此時玻璃與矽晶片將會因刀鋒而使其

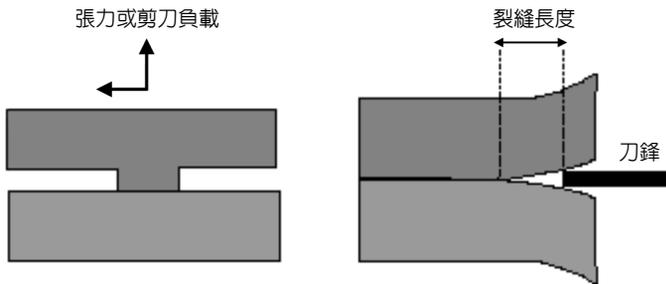


圖 10.41 接合強度測試⁽⁸⁸⁾。

分離，刀鋒的前端與分離處的距離為裂縫長度 L ，再帶入表面能的公式

$$r = \frac{3Eh^2t^3}{16L^4}$$

其中 E 為材料之楊氏係數， h 為材料因刀鋒而撐開的距離， t 為材料的厚度。

因不同的參數 (如不同的溫度及電壓) 會造成不同的接合強度，不同的強度其表面能也不盡相同，表面能較高者，其強度較高，由表面能亦可比較出接合強度的差異⁽⁴⁾。

10.4 高階封裝製程

10.4.1 電子構裝

傳統具有導線架的電子構裝步驟如圖 10.42 所示，其主要步驟分述如下：

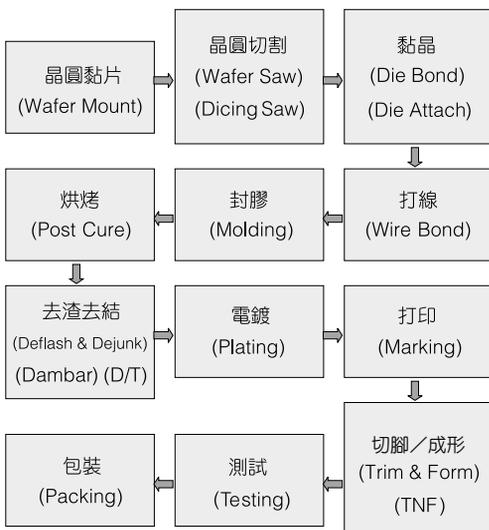


圖 10.42 傳統具有導線架的電子構裝步驟圖。

(1) 切割

晶片切割之目的乃是要將前製程加工完成的晶圓上一顆顆之晶粒 (die) 切割分離。首先要在晶圓背面貼上膠帶 (blue tape) 並置於鋼製之框架上，此一動作叫晶圓黏片 (wafer mount)，如圖 10.43，而後再送至晶片切割機上進行切割。切割完後，一顆顆之晶粒井然有序的排列在膠帶上，如圖 10.44，同時由於框架之支撐可避免膠帶皺摺而使晶粒互相碰撞，而框架撐住膠帶以便於搬運。

(2) 黏晶

黏晶的目的乃是要將一顆顆分離的晶粒放置在導線架 (lead frame) 上並用銀膠 (epoxy) 黏著固定。導線架是提供晶粒一個黏著的位置 (晶粒座，die pad)，並預設有可延伸 IC 晶粒電路的延伸腳 (分為內引腳及外引腳，inner lead/outer lead)，一個導線架上依不同的設計可以有數個晶粒座，這數個晶粒座通常排成一列，亦有成矩陣式的多列排法。導線架經傳輸至定位後，首先要在晶粒座預定黏著晶粒的位置上點上銀膠 (此一動作稱為點膠)，然後移至下一位置將晶粒置放其上。而經過切割之晶圓上之晶粒則由取放臂一顆一顆地置放在已點膠之晶粒座上，黏晶完後之導線架則經由傳輸設備送至彈匣 (magazine) 內。黏晶後之成品如圖 10.45 所示。

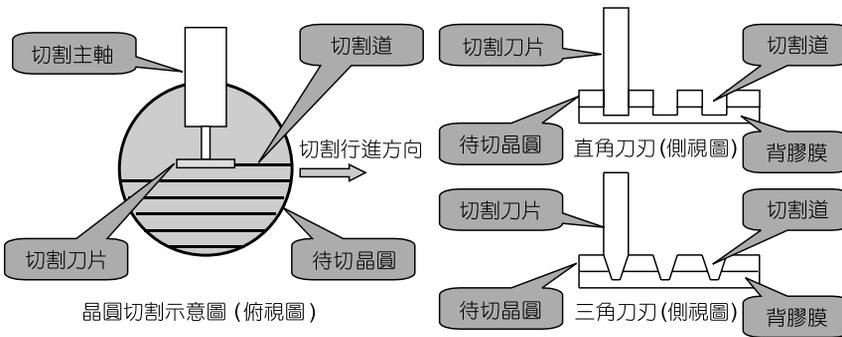
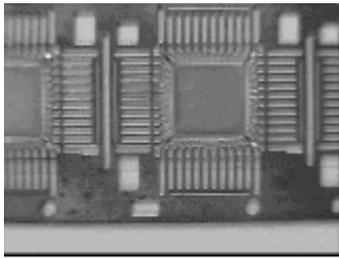


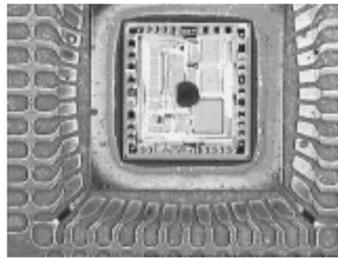
圖 10.43 切割製程示意圖。



圖 10.44 切割完成圖。



導線架

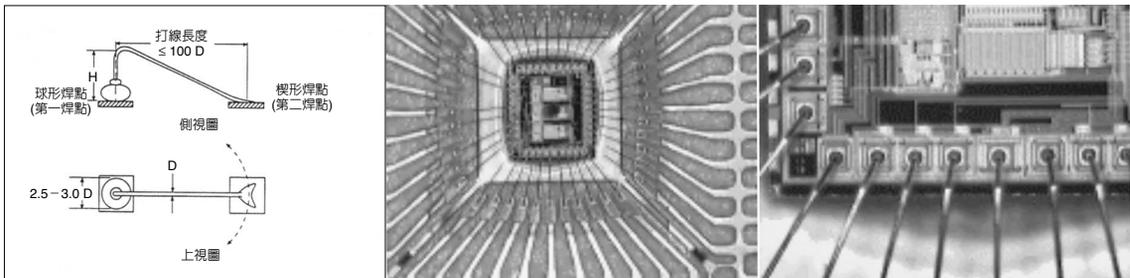


成品

圖 10.45
黏晶後之成品圖。

(3) 打線

焊線的目的是將晶粒上的接點以極細的金線 ($18-50\ \mu\text{m}$) 連接到導線架上之內引腳，藉以將 IC 晶粒之電路訊號傳輸到外界。當導線架從彈匣內傳送至定位後，應用電子影像處理技術來確定晶粒上各個接點以及每一接點所對應之內引腳上之接點的位置，然後做焊線之動作。焊線時，以晶粒上之接點為第一焊點，內接腳上之接點為第二焊點。首先將金線之端點燒結成小球，而後將小球壓焊在第一焊點上 (此稱為第一焊，first bond)。接著依設計好之路徑拉金線，最後將金線壓焊在第二焊點上 (此稱為第二焊，second bond)，同時並拉斷第二焊點與鋼嘴間之金線，而完成一條金線之焊線動作 (見圖 10.46)。接著便又結成小球開始下一條金線之焊線動作。焊線完成後之晶粒與導線架則如圖 10.46 所示。

圖 10.46 焊線動作示意圖⁽⁹³⁾ 及成品圖。

(4) 覆晶

為縮小整體封裝面積，或減少打線所帶來的高頻寄生效應，打線的方式可使用覆晶方式來取代。覆晶 (flip chip) 又稱翻轉晶片，顧名思義，就是將傳統晶片的電氣接點由上面變成在下面，所以晶片必須翻轉後才能與基板結合，如圖 10.47 所示。而覆晶技術有體積小、不需焊線、高腳數、高可靠性、可操作頻寬可高達數 GHz 以上等特性，因此非常適用於像 CPU 或射頻元件這類的產品。以覆晶技術作感測元件與電路元件的結合 (integration) 也可執行兩者對電路基板的接合，使感測元件與電路元件能以極短路徑互相溝通。

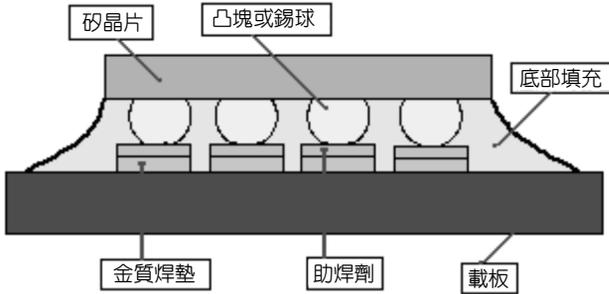


圖 10.47
覆晶結構剖面圖。

覆晶的製作流程包括晶圓切割、沾助焊劑、晶片對準及取放、底部填充、迴焊等基本步驟。而對準工作便是這類機台最大的技術所在。因此為求高精度的定位及取放，將這些動作整合在同一部機台上，以減少工作誤差。

10.4.2 環境介面、晶片保護、電氣介面

環境介面、晶片保護與電氣介面，三者有可能一體成型，也有可能分別製作，再加以封裝組合，型態與種類無標準的製程與設備。主要係提供待封體與外殼的介面，此處的待封體係基板層以上的元件，技術發展的重點如下。

- (a) 引線拉出的絕緣問題：應使用何種絕緣膠、油、塗料。
- (b) 待封體的定位考量：用何種定位膠使方形待封體與圓形外殼能密切結合，且能對準無誤，以及封閉或開放的封裝組合。
- (c) 有線或無線連接器的設計與製作：在有線的選擇方面，若是含電路元件在內，則可能要四條線以上，包括兩條電源線，二條訊號線；若僅為主動測試單元，如熱電耦、壓電材料等，則需要二條線即可。

(1) 晶片保護

保護晶片所需的外殼 (housing)，其材料的選擇有金屬、塑膠、陶瓷、玻璃，或以上的複合材料，加工方式也因材料不同而有 (a) 塑膠：射出成形、浸入，(b) 金屬：抽拉、焊接、壓合、切削、放電、鎖合、衝壓，(c) 陶瓷：膠合，(d) 玻璃：膠合、陽極接合。外形方面則有管子與盒子等變化，安裝方式有外加式 (黏貼、鎖合) 與侵入式 (穿孔置入)。保護能力則考慮機械強度、化學強度、EMC、熱傳及測試。

近年來在成本考量下，塑膠外殼受到較大的重視，也有較大的製作彈性，例如使用雙層 (或雙料) 共射的射出成形製程，將防電磁波干擾或高導電性等材料作為皮層料或核心料。所以就量產與降低成本的考量，應儘量使用塑膠封裝。

由於製作品片 (無論感測器、致動器, 或 IC) 在組裝至承載基板 (可能為 PC 板) 或與外殼組裝時, 大都因為元件只將焊墊或接點做在單面, 而另一面卻不能用, 除非用貫穿孔, 才能將各元件層層相疊, 以達到晶圓級封裝的目標。

(2) 貫穿孔 (Via)

製作層與層之間的連接方法^(77,86-88): 濕蝕刻、乾蝕刻、雷射鑽孔、超音波鑽孔及噴砂鑽孔。

① 濕蝕刻

利用化學蝕刻法製作貫穿孔是最簡單的方法, 一般是使用電化學法製作貫穿孔。缺點是方向蝕刻率及長度一直徑的蝕刻率低於 1。但最近亦有使用光學輔助電化蝕刻與熔融金屬吸入法, 達到極大深寬比的貫穿孔與填入金屬⁽⁸⁷⁾。

② 乾蝕刻

乾蝕刻法適用於標準的 CMOS 製程, 但利用乾蝕刻法製作貫穿孔時缺少很快的蝕刻率, 且對光罩沒有足夠的選擇性。不過近來使用高密度電漿源, 蝕刻率可達到 $4 \mu\text{m}/\text{min}$, 並可選擇材料是 Si 對 SiO_2 的蝕刻率超過 $150 \mu\text{m}/\text{min}$ (一般對光阻是 70 : 1), 方向蝕刻率為 30 : 11, 足以改善上述的問題⁽⁸⁶⁾。

③ 雷射鑽孔

使用雷射鑽孔方向蝕刻率可達到 1 : 50, 並具有相對的高鑽孔速度, 使用功率密度 $10^{11} \text{W}/\text{cm}^2$, 可達到每秒 10 孔。

④ 超音波鑽孔

使用超音波鑽孔相較於雷射鑽孔可以得到一清潔的貫穿孔洞, 但僅限於較大直徑的洞 ($100 \mu\text{m}$ 以上)。

⑤ 噴砂鑽孔

使用機械式噴砂, 可對 Pyrex 玻璃打出直徑 $250 \mu\text{m}$ 的貫穿孔⁽⁸⁸⁾。

一種新式的晶圓級轉移接合 (transfer bonding) 技術⁽⁸¹⁻⁸³⁾, 主要是將置於犧牲用基板上的元件轉移到目標基板上, 這項轉移接合的技術僅包含低溫的製程, 因此可以和 IC 製程相容, 製程包括: (1) 低溫膠合 benzocyclobutene (BCB), (2) 打薄犧牲用基板, 直到露出轉移的元件, (3) 金屬化的技術將轉移的元件與目標基板上的電路連接起來。此方法的優點在於感測元件與處理電路可以各自以最佳的方式發展製造, 不用考慮材料相容、製程相容的問

題，黏膠具有緩衝平坦度、膨脹係數不同的功能。實際應用範例是兩個多晶矽結構和一個測試元件用於量測薄膜材料的電阻溫度係數。

多層晶圓接合封裝，對於製造三維的微結構，例如功率微系統 (power MEMS) 元件是一項可行的技術之一，但是仍得克服下列幾項問題：① 每層晶圓先前製造微結構餘下來的化學殘留物，② 多重接合後或較厚的晶圓，其剛性的增加，③ 接合用治夾具的強度，④ 高溫回火過程，缺陷的傳遞。相應的對策是 ① 披覆一犧牲層 SiO_2 ，② 增加疊合壓力、時間與加溫，③ 使用剛性強的夾治具，如鋼製的，④ 空腔部分與外界相通。

10.4.3 封裝標準化

(1) 封裝標準化

由第 10.2.1.1 節的說明可知任一種微感測器的封裝方法需要克服各元件之間的介面問題，提供一個封裝技術和保護感測器 (microsensor) 的方法。通常感測器的元件是接合在電路基板上，包含金屬通孔或空穴，並使用覆晶接合法加以結合。結合完成後的感測器晶片或感測元件是放置在電路基板上的通孔上並且接觸作業環境。底部充填劑 (underfill) 或其他種類的材料經常使用在充填感測器晶片和電路基板之間間隙。充填密封的關鍵是毛細力量，藉由毛細力量能使充填材料充填密封感測器晶片和電路基板之間的所有面積 (包含間隙)，但底部充填劑物質並不會覆蓋感測元件。底部充填劑的使用可以從前方或背部進入電路基板，但需要正確的選擇底部充填劑，因為底部充填劑要能完全地充填感測器晶片與電路基板間間隙，而且不會遮蔽感測元件，尤其是感測元件需要直接接觸操作環境。

感測器晶片已經過第一層次封裝處理，因此可以接合 (bonding) 在電路基板上，使用覆晶接合法結合。但隨著感測元件是否直接接觸操作環境，將會影響充填材料的選用。對於封閉型的感測元件，例如加速度計、微開關、陀螺儀等，由於感測器晶片不需要暴露在操作環境下，可以選擇考慮較一般或普遍性的充填物 (密封膠)；但若是開放接觸型的感測元件，例如壓力計、化學感測器等，由於感應器晶片需要暴露接觸操作環境，因此充填物 (密封膠) 的選用要經過較審慎的考慮，甚至於在密封前後可以選擇性的在感測晶片上加上鍍層，以增加封裝的密閉性或感測晶片的保護性。

(2) 共通型微感測器封裝的方法⁽⁵⁾

針對上述問題，筆者提出共通型微感測器封裝的方法⁽⁸⁴⁾，使用覆晶結合感測元件與電路元件 (即訊號處理 IC) 於承載基板上下兩面，方法如圖 10.48 所示。

1. 利用低溫共燒陶瓷作為承載基板。
2. 感測元件及電路元件置入基板上事先挖好的空穴中。
3. 用覆晶凸塊與低溫共燒陶瓷基板上的印刷焊墊作電路連結。
4. 填充底部填充劑。

5. 覆晶凸塊與底部填充劑的配合，一方面增加機械接合強度，一方面保護電子元件不受外界惡劣環境損壞，並可確保電路連結的可靠度，而且此方法亦提供了自我封裝 (self packaging) 的功能，降低製程的繁雜性。
6. 以低溫共燒陶瓷作為承載基板，同時扮演環境介面與電氣介面的功能。

此處的承載基板是由低溫共燒陶瓷所構成，如圖 10.48 所示。基板上方可藉由覆晶封裝方式，將感測元件 (晶片) 與電路元件 (晶片) 以覆晶凸塊及焊墊與基板結合，所需連接線路可印刷於基板上層或基板中間各層，以貫穿孔連接。若空間容許，可將電氣介面 (如連接器 (可含有 USB 功能)、RF 通訊模組、光通訊模組，例如紅外線通訊 (IrDA)，三者擇一) 置於承載基板之上層，若空間有限，則可將電氣介面置於基板的底層。而承載基板可藉由選擇性衝孔層、多孔性材料層、保護性材料披覆、透明性材料披覆等，達成環境介面的需求⁽⁵⁾。

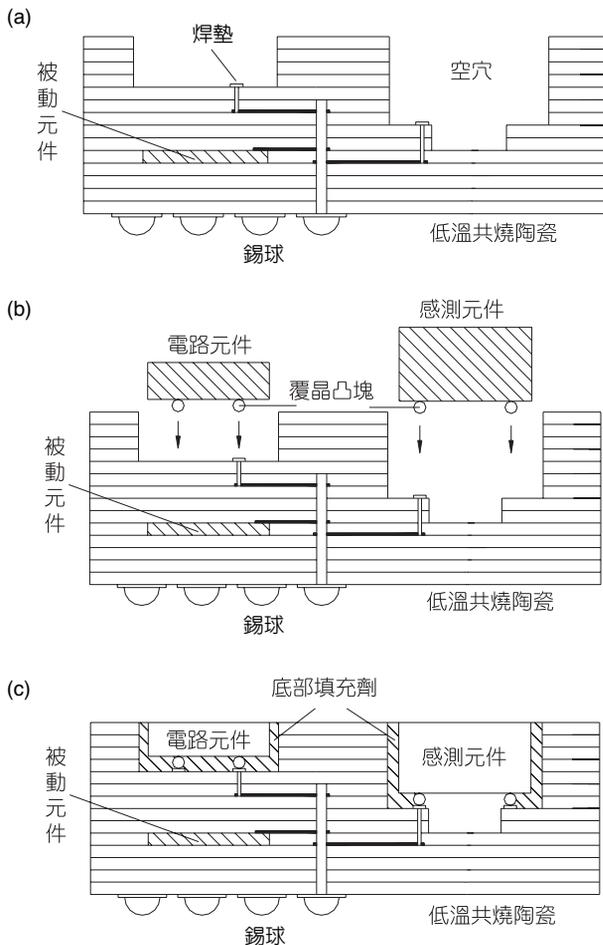


圖 10.48

共通型微感測器封裝的流程。(a) 承載基板，(b) 電路元件及感測元件置入基板中，(c) 填充底部填充劑。

10.5 封裝機台

10.5.1 多層對準⁽⁹⁰⁻⁹²⁾

對準儀 (mask aligner) 主要是負責將經過光阻塗佈機 (spin coater) 塗佈上光阻並熱烤過的晶圓，搭配光罩或網片曝光顯影的機器。目的在於經此過程後的晶圓，當去除光阻後可以進行蝕刻或沉積的步驟。而多層對準的關鍵在於晶圓及光罩、網片要製作對準的 key。

對準儀首先將光罩或網片放在機器的載入平台再以精密視覺定位 (光纖及顯微鏡) 找到對準的 key，接著將晶圓放在載入平台上，再以精密視覺定位 (光纖及顯微鏡) 找到對準的 key，接著將光罩、網片的 key 及晶圓的 key 重合即可進行曝光顯影及其後段製程；若要在晶圓上繼續堆疊微結構或電路，則繼續先前步驟。

如圖 10.49 所示，一般基板 (substrate) 的對準方法有：可穿透式晶圓的底面對準 (bottom side alignment with transparent wafer)、數位影像的底面對準 (bottom side alignment with digitized image)、紅外線對準 (IR alignment)、基板間對準 (inter substrate alignment) 及 SmartView 對準等。

EVG 公司的多層對準儀 (SmartView) 與一般對準儀的外型如圖 10.50 所示，多層對準儀 (SmartView) 的工作原理如下 (圖 10.51)。

1. 對準上層晶圓於下層的目標。
2. 使用數位化影像儲存位置。
3. 移走上層晶圓，對準下層晶圓於上層的數位化影像，
4. 根據上層晶圓儲存的位置，移回上層晶圓，將上下層晶圓垂直接觸完成垂直接合。
5. 兩片晶圓對準後，以黏著劑結合在一起，利用貫穿孔連接兩片晶圓原有的互接線路。

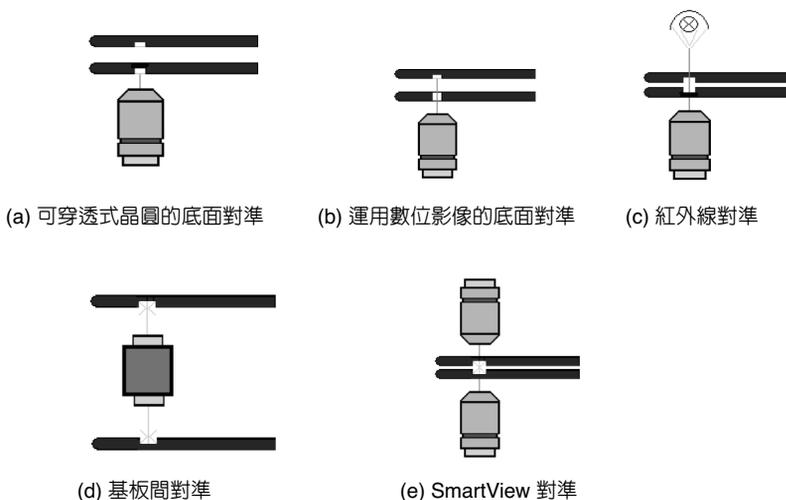
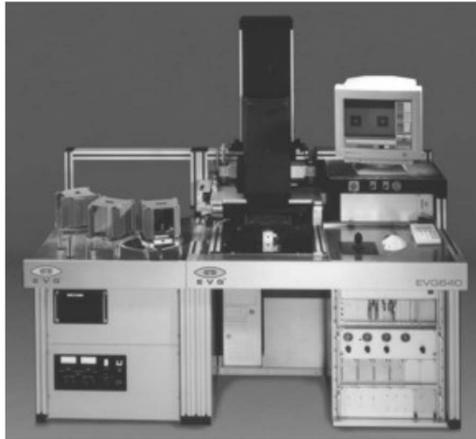


圖 10.49

對準儀的各種對準方法。
 (a) 可穿透式晶圓的底面對準，
 (b) 運用數位影像的底面對準，
 (c) 紅外線對準，
 (d) 基板間對準，
 (e) SmartView 對準。



(a)



(b)

圖 10.50

(a) 一般的對準儀，(b) EVG 公司的多層對準儀 (SmartView)。

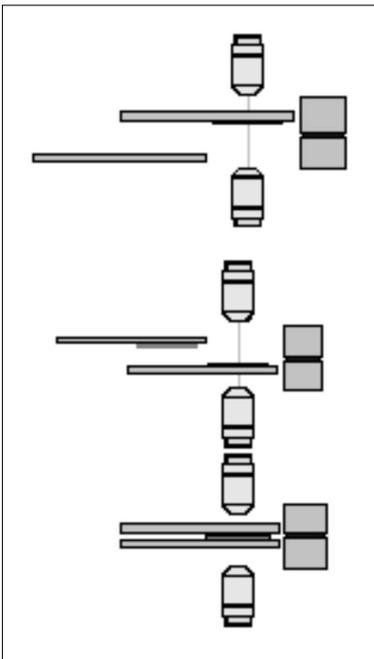
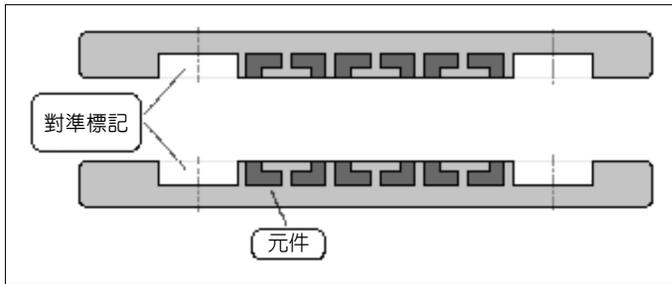


圖 10.51

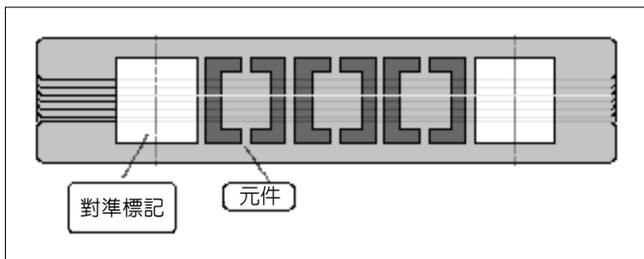
多層對準儀 SmartView 的工作原理。

10.5.2 三維封裝⁽⁹⁰⁻⁹²⁾

三維整合與封裝的動機，在於打線的寄生效應是積體電路性能的限制，等同於一座磚牆，新的銅／低 k 介電層可將此打線的限制鬆綁，整體的目的就是指接線長度極小化，因此利用對準式晶圓接合所形成的高階電路整合，可以增加元件密度與速度，同時降低功率與成本。



(a)



(b)

圖 10.52

(a) 前兩層的對準，(b) 多層對準的結果。

圖 10.52(a) 為運用三維互接原理進行垂直接合，其程序為：(1) 面對面對準晶圓，(2) 接合，(3) 研磨上層晶圓，背面基材去除至元件層裸露，(4) 重複以上步驟，完成第三層，或更多層的垂直接合。圖 10.52(b) 為堆疊八層的結果，層與層之間的元件以黏著劑相連。

可能的應用為 MEMS 與 ASIC 晶圓的垂直接合，其實若使用覆晶接合，也是垂直接合的形式。使用 3D 連結面對面的多層對準技術，可將微結構及致動器與電子電路堆疊整合在一起，並在面與面堆疊間作封裝致動器或微結構的動作，而在封裝及堆疊過程中依然使用到 key 的對準，使層與層、結構與結構能搭配封裝在一起。

10.5.3 切割機台

晶圓切割機 (die saw machine or dicing saw machine) 主要是負責將晶圓上所製作好的晶粒 (die) 切割分開，以便後續工作。在切割之前要先利用貼片機 (wafer mount machine) 將晶圓黏貼在晶圓框架 (wafer frame) 的膠膜上。而此膠膜具有固定晶粒之作用，避免在切割時晶粒受力不平均而造成切割品質不良，同時切割完後膠膜也可確保在運送過程中晶粒不會相互碰撞。各式切割機台如圖 10.53 所示。

晶圓切割機主要是利用不同材質刀具，配合高速旋轉的主軸馬達，加上精密視覺定位系統，進行切割工作，如圖 10.54 所示。目前除一般用於晶圓切割外，尚可用於 TFBGA、CSP、QFN 等產品的切割工作。



(a)



(b)



(c)



(d)

圖 10.53
各式切割機台。

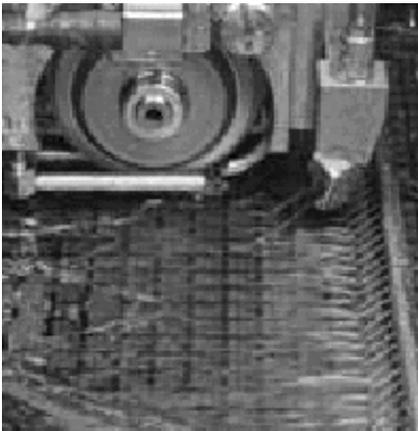


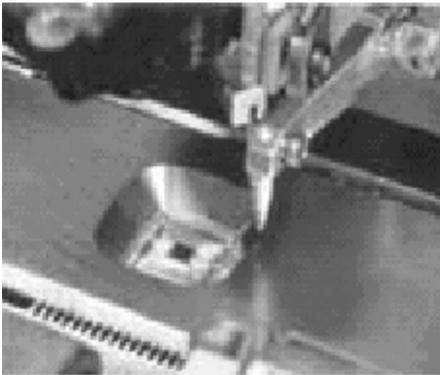
圖 10.54
切割機台工作情形。

晶圓切割最主要的目的是將晶圓上已完成的電路晶片分離。一般來說我們所需的晶片厚度約 $50\ \mu\text{m}$ ，可是晶圓在製作過程中為使機械強度維持在一定程度之上，隨著晶圓尺寸越大，厚度也相對提高。所以在切割之前需先以背磨機 (back grinder) 將多餘部份磨掉，再將晶圓背面貼上膠帶，置於框架 (frame) 上，之後才能進行切割動作。

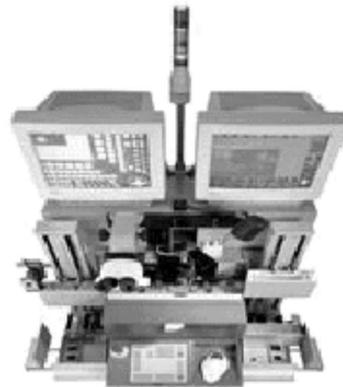
切割時會影響品質的主要因素有下列幾項：(1) 主軸轉速及刀具旋轉平衡度、(2) 進給速度及穩定度、(3) 刀具尺寸及材質、(4) 切削冷卻水沖洗速度、(5) 切割深度及方式、(6) 膠帶黏著方式及 (7) 真空吸附固定能力。

10.5.4 打線機 (焊線機)

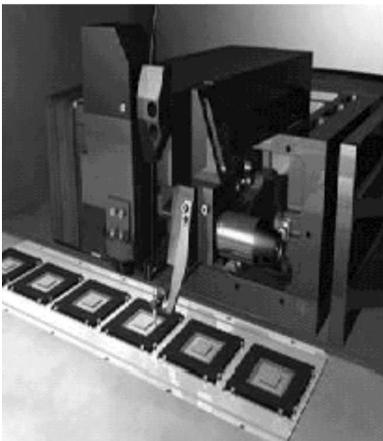
焊線機 (wire bonder) 俗稱打線機，主要目的是利用金線 (gold wire) 或鋁線 (aluminum wire) 將晶片上的電氣焊墊 (die pad) 和導線架內引腳 (inner lead) 或載板金質焊墊 (gold pad) 連結，以達成電氣信號連接之作用。各式焊線機如圖 10.55 所示。



(a)



(b)



(c)



(d)

圖 10.55
各式焊線機台。

焊線的作業流程首先將導線架由彈匣 (magazine)，中推出並拉至定位，再以視覺系統做位置及角度的偏移量計算。接著焊線頭開始提供金線，再以放電方式使金線前端熔結成球狀，再將焊頭移到晶片焊墊上方，向下移動直到焊墊處並施加適當力量和熱能 (超音波振盪產生) 將第一焊點完成。接著向上拉升，並利用程式控制移動路徑產生焊線線弧，同時令焊頭移到導線架內引腳處，利用壓力將焊線結合，最後向上以鋼嘴拉斷並壓焊第二個焊點，即為一條焊線完整動作。重複以上動作將晶片上所有焊點完成，直到導線架上所有晶片都已完成，最後將完成焊線之導線架送回收料彈匣後即可準備送往下一站了。

晶片焊線時會影響品質的主要因素有下列幾項：

- (1) 晶片焊墊、導線架內引腳及載板金焊點處的清潔度。
- (2) 焊線放電結球的形狀。
- (3) 焊線路徑規劃及運動指令的追隨能力。
- (4) 焊線的材質及強度。
- (5) 超音波的頻率、功率及時間的配合。
- (6) 焊接力量施壓的多寡。
- (7) 焊針或鋼嘴的外形設計。
- (8) 圖形辨識系統的精度。
- (9) 料條傳送時所承受的外力。

10.6 封裝案例

10.6.1 壓力感測器⁽¹⁰⁾

壓力感測器之量測原理及方法有許多，應用於各個領域或特別需求，而有不同設計方法及考量，當然各種方法皆有其優缺點。市面上壓力感測器設計方法主要採用壓電式 (piezoelectric)、壓阻式 (piezoresistive) 及電容式 (capacitive)。以壓電式而言，它具有高靈敏度、低電磁干擾、低功率散逸等優點，但它對靜態響應並不十分敏感；以電容式而言，它具有高靈敏度、不受外界環境影響，但非線性度高導致後續處理不易；對壓阻式而言，它具有高輸出電壓、高靈敏度，但對於外在溫度變化十分敏感，其應用便有所限制⁽⁵⁾。

(1) 壓電式感測器

所謂壓電效應是指當機械作用力作用於材料時，材料所能產生的電效應。相反的，當施加電場於材料時，能夠使材料產生機械變形。這種現象只存在某些結晶材料，如石英 (quartz)、氧化鋅 (ZnO)、鈦酸鋇陶瓷 (BaTiO₃)、鈦酸鉛鋇陶瓷 (PbZrTiO₃, PZT)，或是一些特殊的化學聚合物，如 PVDF。由於矽晶具有中心對稱的網格結構，無法展現其壓電性質，因此這些材料必須經過一定的製程塗佈於矽晶表面，才能具有壓電性，如石英必須依一定

的軸向切割、壓電陶瓷需經過高電場極化。壓力元件製作流程如圖 10.56 所示。圖 10.57 為晶片組裝示意圖，而圖 10.58 則為切割後晶片組裝示意圖。

當施加外力 F_q 於壓電材料時，其表面充電量 q 滿足下式

$$q = \Xi F_q \tag{10.11}$$

其中 $\Xi(X_i)$ 為材料之壓電係數 (piezoelectric coefficient)。

工業界常用的壓電材料其壓電係數及介電常數如表 10.12 所示。其中石英為天然物質，產量有限，而鈦酸鋇陶瓷與鈦酸鉛鈷陶瓷雖然具有相當高的壓電係數，但業界常以利用蒸鍍方式製成薄膜的氧化鋅為壓電元件。

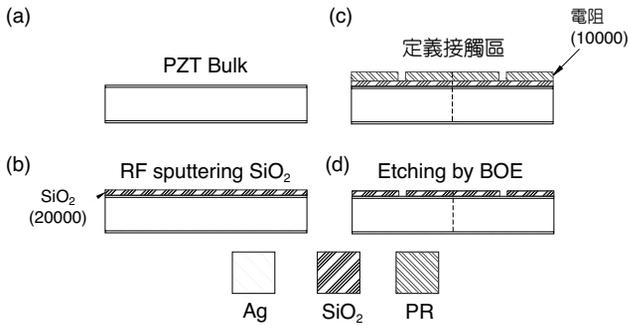


圖 10.56

壓電式壓力元件製作流程⁽¹⁰⁾。(a) 取一 PZT 塊材上下鍍有銀膜，(b) RF 濺鍍二氧化矽為絕緣層，(c) 塗佈光阻，(d) BOE 蝕刻露出金屬接觸焊墊。

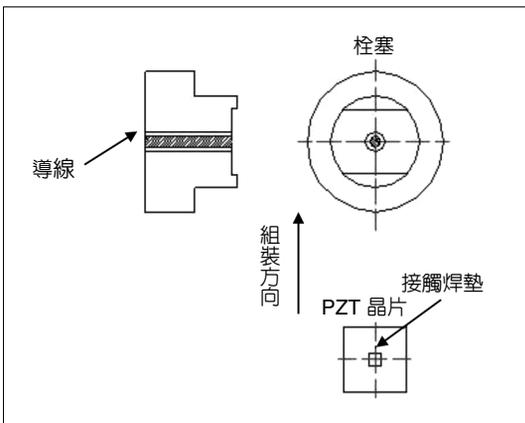


圖 10.57 晶片組裝示意圖⁽¹⁰⁾。

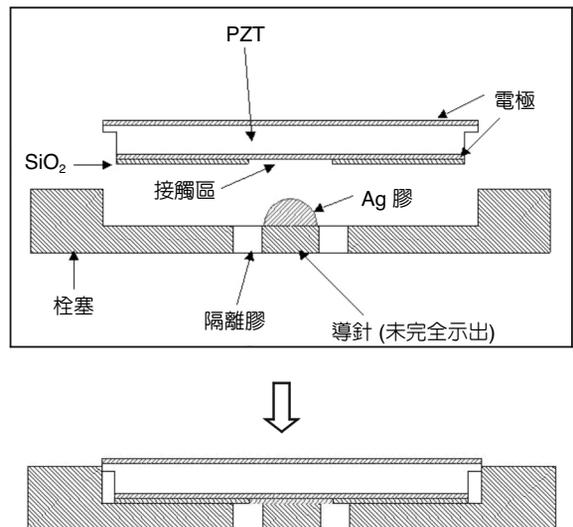


圖 10.58 切割後 PZT 晶片組裝示意圖⁽¹⁰⁾。

表 10.12 常見壓電材料於 300 K 之特性。

材質	結晶型式	運用方式	壓電係數	介電常數
Quartz	玻璃	塊材	2.33	4.0
PVDF	高分子	薄膜	1.59	—
ZnO	陶瓷	薄膜	12.7	10.3
ZnO	陶瓷	塊材	11.7	9.0
BaTiO ₃	陶瓷	塊材	190	4100
PbZrTiO ₃	陶瓷	塊材	370	300—3000

封裝設計

由於射出機模具內部高壓、高溫的影響，同時要求體積小，才不致破壞成品品質，所以在選擇感測材料及設計之初，立即面臨種種困難，經過多方收集資料與詢問，詳細評估各種可行方案，選定壓電陶瓷為感測器主體。此外，能夠即時地得到模具內部壓力，才有效地控制射出成形機構。所以鈦酸鉛鋅 (PZT) 的特性：壓電特性良好、耐酸鹼、溫度係數大、耦合因數高，正可符合內藏式模具壓力感測器之要求。壓力感測器剖面圖如圖 10.59 所示，其為圖 10.58 所示的栓塞與 PZT 晶片組合，置入於外殼中，並抵著探針，而接觸區透過導針與同軸電纜的導線相連，PZT 晶片的另一接地電極則與外殼相連至同軸電纜的接地端。在封裝設計的考量上，由於此感測器最後將安裝在高溫高壓的模內，所以有幾點因素需要考量：

1. 耐高溫：在設計上將壓力感測單元與探針端面保持一段距離，如此一來不會有壓力感測單元受到模內高溫破壞的情況發生。
2. 耐高壓：藉由探針尺寸的設計與材質的選擇，可使壓力感測器在承受 2000 bar 左右的壓力時，仍保持良好的線性度。
3. 體積小：考量射出成品在脫模時的表面品質，壓力感測器端面積極小越理想，相較於目前市面上 Kistler 的探針直徑 2.5 mm，此感測器的直徑僅 1 mm。
4. 訊號處理：由於此壓力感測器的壓力感測單元沒有受高溫而破壞壓電陶瓷性能的疑慮，壓力感測單元可以設計得較大，所以壓力感測器的靈敏度較一般市面上所售者高上數十

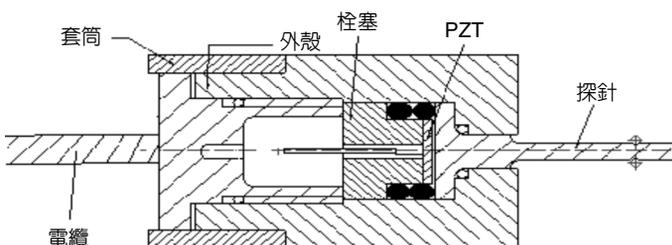
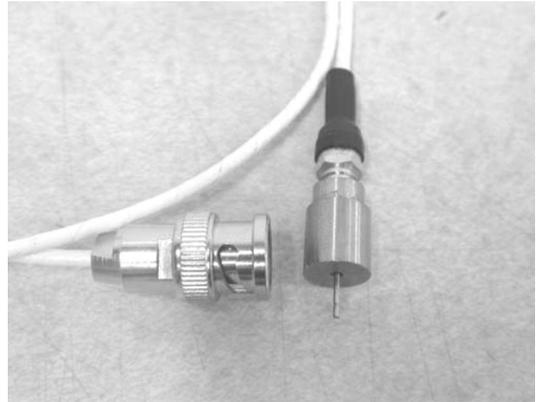


圖 10.59

壓電式壓力感測器剖面圖⁽¹⁰⁾。

圖 10.60 柱塞完成圖⁽¹⁰⁾。圖 10.61 壓力感測器封裝完成實體圖⁽¹⁰⁾。

到數百倍。

5. 低成本：選用壓電陶瓷來取代一般市售以昂貴的石英作為壓力感測單元；此外，由上述第四點所述，在傳輸訊號用的電纜選擇上，可以採用低阻抗、價格亦低的電纜來取代，如此便能有效降低感測器的製作成本。

綜合上述各點，封裝完成圖如圖 10.61 所示。

(2) 壓阻式

所謂壓阻效應是指當材料受到應力作用時，材料的電阻值會改變的一種現象。這種現象普遍地存在各種材料中，其中以某些半導體的效應特別顯著。目前製造矽質壓力感測元件最常用的方法是利用擴散法或離子佈植法，將硼摻入單晶矽晶格中形成 $p-n$ 界面，此 $p-n$ 界面即為壓阻元件，可以用來感測矽晶片薄膜上的壓力變化。感測壓力的電阻（或稱壓阻）以惠氏電橋 (Wheatstone bridge) 的方式來連接。

惠氏電橋之電阻與電壓關係滿足下式⁽⁵⁾：

$$V_{\text{out}} = \frac{R_1 R_4 - R_2 R_3}{(R_1 + R_2)(R_3 + R_4)} \quad (10.12)$$

若假設壓阻 R_1 、 R_2 、 R_3 、 R_4 均相等且都等於 R ，當壓力感測元件因壓力之變化產生 ΔR 之微小變化，則 (10.12) 式可化簡如下：

$$V_{\text{out}} = \frac{R^2 + R\Delta R - R^2}{(2R + \Delta R) \cdot 2R} V_{\text{in}} \cong \frac{\Delta R}{4R} V_{\text{in}} \propto \epsilon V_{\text{in}} \quad (10.13)$$

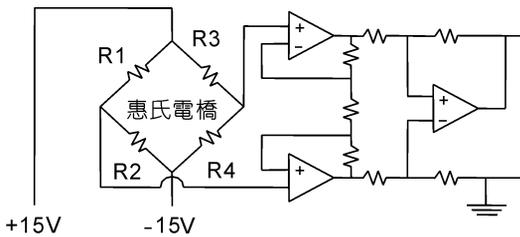


圖 10.62
應變計訊號放大電路。

由於壓力感測元件之壓阻變化極小，因此必須再利用放大器將訊號放大。圖 10.62 為應變計訊號放大電路，其中惠氏電橋的輸出電壓與外加壓力 P 滿足以下的關係式：

$$V_{\text{out}} \propto KP \quad (10.14)$$

其中 K 是一個應變係數，其隨設計和製程而變，可以表示成以下的形式：

$$K = P \left(\frac{W_d}{T_d} \right)^2 \left(\frac{k}{E} \right) V_{\text{in}} \quad (10.15)$$

其中 W_d 是薄膜寬度， T_d 是薄膜厚度， E 是彈性係數 (elastic coefficient)， k 為與薄膜形狀及壓阻置放位置有關的常數， V_{in} 是輸入電壓。

由上面的關係式中我們可以看出，若薄膜厚度越薄則感測出來的電壓越大，因此可以說製膜技術的優劣決定了薄膜式壓力感測元件的性能，而一般矽晶片基板上薄膜的厚度約在 $5-250 \mu\text{m}$ 。

而在 1984 年 Motorola 公司研發出了利用壓阻材料植入壓力感測器的薄板，利用薄板的變形使得壓阻材料因變形而產生電阻的變化，進而透過量測電阻值的變化來換算出所量測的壓力，此量測機制稱為 Xducer。主要是利用單一電阻的設計來取得輸出的訊號，解決了傳統惠氏電橋設計上因電阻局部的溫度變化所造成的誤，其封裝方式可參考文獻 94。

(3) 電容式

一般電容式的壓力計依其基本結構形式，有單靜子及雙靜子兩種。在單靜子的結構裡，壓力是加在一可動膜片之上，使此一膜片相對於靜子來運動，而在雙靜子結構裡，承受壓力的膜片是在兩個固定電極之間。但不論那一形式的結構，其實都是一平板電容，其中一個極板有質量且可以移動，另一極板固定。電容的變化量跟壓力的關係如下⁽⁵⁾：

$$F = k \times \frac{D}{C_0} \times \Delta C \quad (10.16)$$

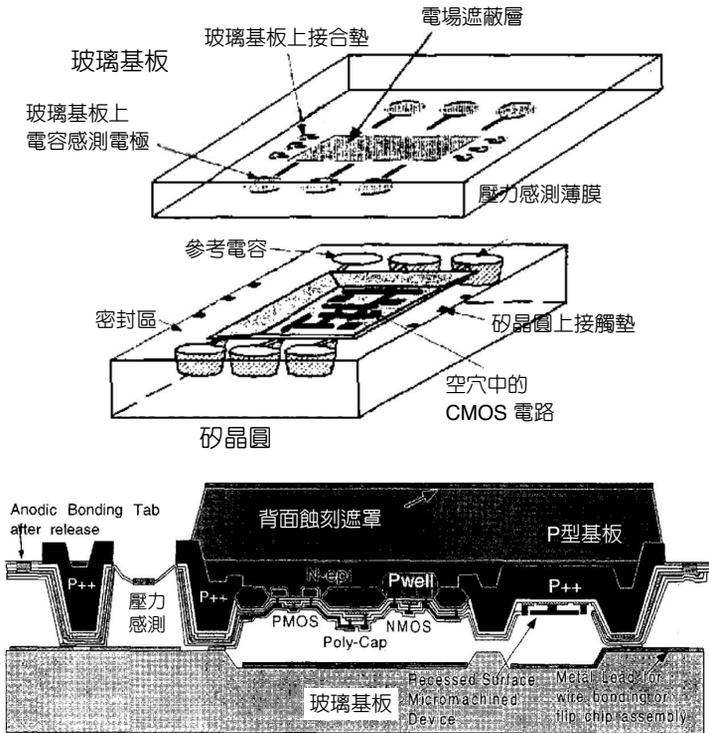


圖 10.63 電容式單石完全整合型真空密封的 CMOS 壓力感測器⁽⁷⁹⁾。

其中 F 為平板所受壓力， k 為彈性係數， ΔC 為電容變化量。因此受力跟電容的變化量成正比，只要將受力 F 除以平板面積 A ，即可求得壓力大小。

圖 10.63 所示為單石完全整合型真空密封的 CMOS 壓力感測器⁽⁷⁹⁾，主要以晶圓級的方式將介面電路直接與感測單元一體成形，採用 20 個光罩，15 個用於 2P/2M p-well 的 BiCMOS 電路，3 個用於製作感測單元，2 個則用於玻璃的製程，電路完成於矽晶圓上，再與玻璃作陽極接合，所用的 IC 製程與體微加工、面微加工相容，封裝採用了化學機械研磨 (CMP)、陽極接合、與密封式引腳轉移等技術，此感測器達到了 25 mTorr 的解析度，很適合低成本封裝。感測器包含了可程式化的切換式電容讀取電路，五組分割範圍的壓力感測單元，一個參考電容，其總面積為 $6.5 \times 7.5 \text{ mm}^2$ 。由於介面電路直接密封於參考的腔體，因此可以隔離環境的寄生效應。此處真空封裝的目的為避免溫度引起的氣體膨脹、壓擠膜阻尼 (squeeze-film damping)、懸浮結構釋放前的黏著 (stiction) 等問題。

10.6.2 加速度感測器

加速度計的基本物理原理是一個簡單的質量—彈簧系統，如圖 10.64。使用一虎克定律 ($F = kx$ ， k ：彈簧常數 (spring constant)) 來說明彈簧的伸長或壓縮力，配合牛頓第二定律： $F = ma$ ，則可以量測加速度的大小⁽⁵⁾。 $F = ma = kx$ ，亦即加速度 a 會造成質量位移 $x = ma/k$ ，

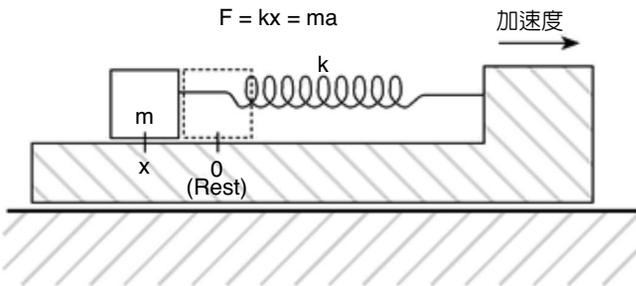


圖 10.64

利用一簡單的质量-彈簧系統量測加速度。

若能量測位移量 x ，則可求出加速度 $a = (k/m)x$ 。

因此 Analog Devices 公司所發展的微加速度計即是使用上述的基本原理，搭配電容原理 ($C = k_c/x_0$)，利用加速度造成電容的差異進而換算出位移量，再利用位移量求出加速度大小。圖 10.65 為該公司利用雙電容系統量測加速度的示意圖。

$$C = \frac{k_c}{x_0}$$

$$C_A = \frac{k_c}{x_0 + x}$$

$$C_B = \frac{k_c}{x_0 - x}$$

$$C_A = C \frac{x_0}{x_0 + x}$$

$$C_B = C \frac{x_0}{x_0 - x}$$

$$\Delta C = C_A - C_B = Cx_0 \left[\frac{1}{x_0 + x} - \frac{1}{x_0 - x} \right] = \frac{2x}{x^2 - x_0^2} Cx_0$$

假如能維持 $x \ll x_0$ ，則可以簡化成

$$\Delta C \approx \left(\frac{-2k_c}{x_0^2} \right) x$$

其中， k_c 為與電容極板重疊面積及其間介電常數有關的常數， x_0 為兩電極板之間未受加速度作用的距離。由上式可知電容差異值 ΔC 與位移 x 成正比關係，因此可進而求出加速度大小。至於 x 維持小變化的方法，可利用負回授的方法達成。

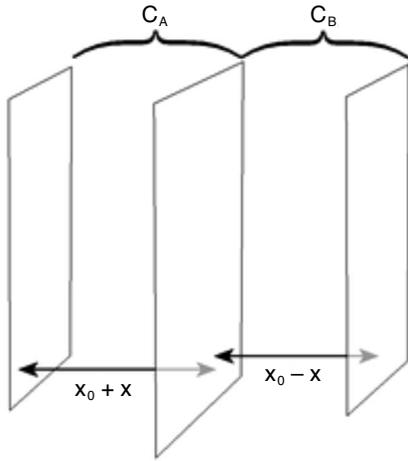
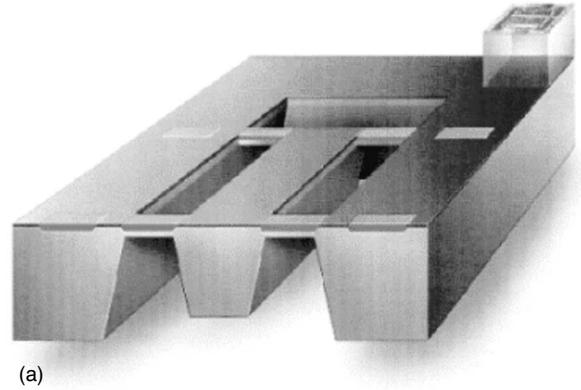
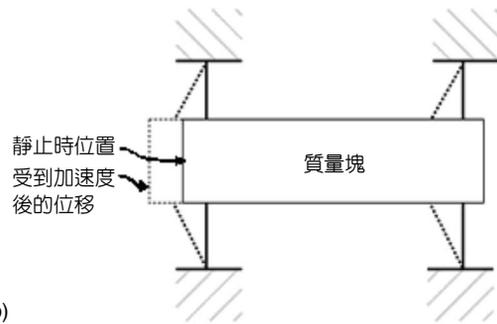


圖 10.65 利用雙電容系統量測加速度。



(a)



(b)

圖 10.66 (a) 體型加速度計的電腦繪圖，(b) 質量—彈簧系統的示意圖⁽⁷⁸⁾。

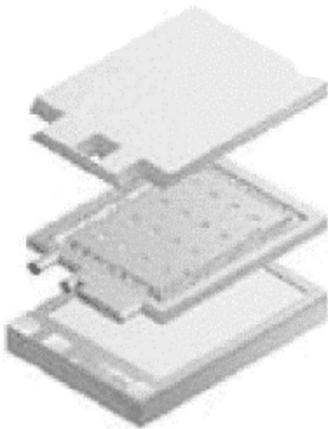


圖 10.67 利用體型加工法製作微加速度計⁽⁷⁸⁾。

(1) 製作和封裝

微加速度計的製造方法有體型加工法、面型加工法及壓電材料法。一般而言，體型加工法製作微加速度計是把矽或石英塊利用化學蝕刻法蝕刻去除材料，做出一個懸空搖擺的質量塊（稱為中心感測器層，如圖 10.66），再將其他的矽晶圓層和中心感測器層接合在一起，如圖 10.67。不過在 z 軸方向容易受外界干擾而產生共振頻率以及感測範圍較小、靈敏度較差等缺點，故一般體型加工法的製作過程較常用來製作壓力感測器。

利用壓電材料及其原理製作的微加速度計，雖然性能最好，但是成本卻也是最高，如圖 10.68 所示。尤其是易受外界振動干擾產生的共振以及溫度變化產生的漂移現象，是最大

的缺點，也因此為了改善這項缺點，在電子電路上就必須多做許多補償的電路。

使用面型加工法製作加速度計時，先在矽基材上建立一層犧牲材料，接著在犧牲層上再建立一層材料，然後選擇性的去除犧牲層，即可得到所需的微結構，如圖 10.69。由於這一層是不同的結構，因此該層即可做為加速度計中可移動的質量，並應用電容感測技術來量測位移加速度，如圖 10.70。此種做法最大的優點是不受溫度變化及外界振動的干擾⁽⁷⁸⁾。

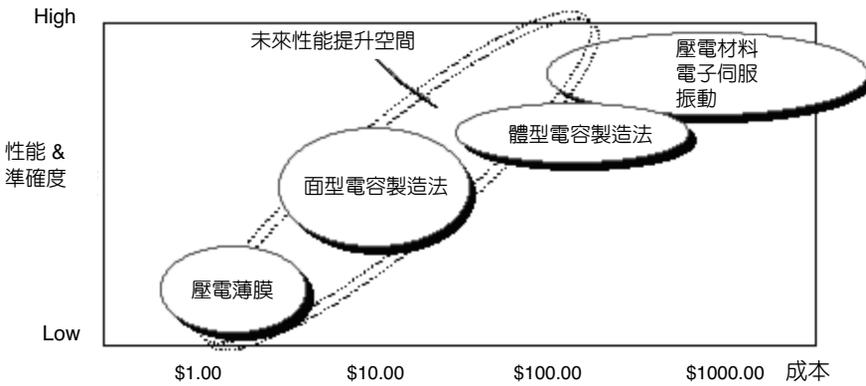


圖 10.68 製作方法的性能—成本圖⁽⁷⁸⁾。

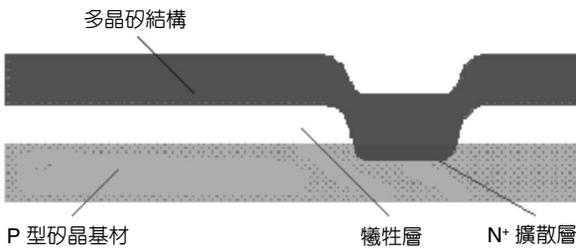


圖 10.69 矽晶基材上利用犧牲層做成多晶矽懸空結構⁽⁷⁸⁾。

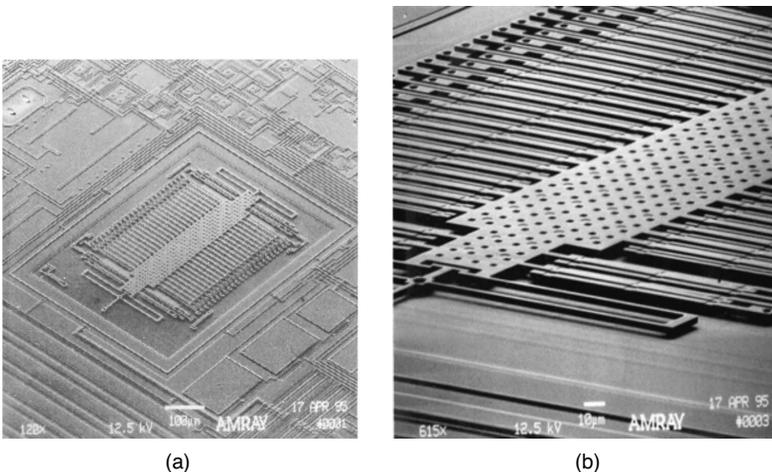


圖 10.70 面型加工法製作指插型電容微加速度計⁽⁷⁸⁾。

藉著與 IC 製造技術相容的微加工技術，不僅可以使體積縮小，更可以大量製作許多相同的微結構在一塊矽晶圓上，並達到量產及成本降低的優點，且可以整合電子電路在單一晶片上，而不用對許多晶片進行整合封裝。

微加速度計以積體電路 (IC) 的型態 (如圖 10.71) 來封裝生產，具備有一些優點，並且優於以模穴置入封裝、材料充填覆蓋封裝或以銅線對外接續性的封裝。以 IC 封裝的微加速度計可以直接裝置在一個 PC 電路板上，和其他的電子元件一同搭配使用，更可以用來抵抗惡劣的工作環境⁽⁷⁸⁾。

(2) 外界干擾

振動干擾會影響微加速度計而使檢測數據失真，如圖 10.72。尤其是利用壓電材料製成的微加速度計，隨著振動頻率的增加會更顯嚴重。因此要利用其他補償電路或裝置來補償數據。



圖 10.71
積體電路 (IC) 型態的微加速度計⁽⁷⁸⁾。

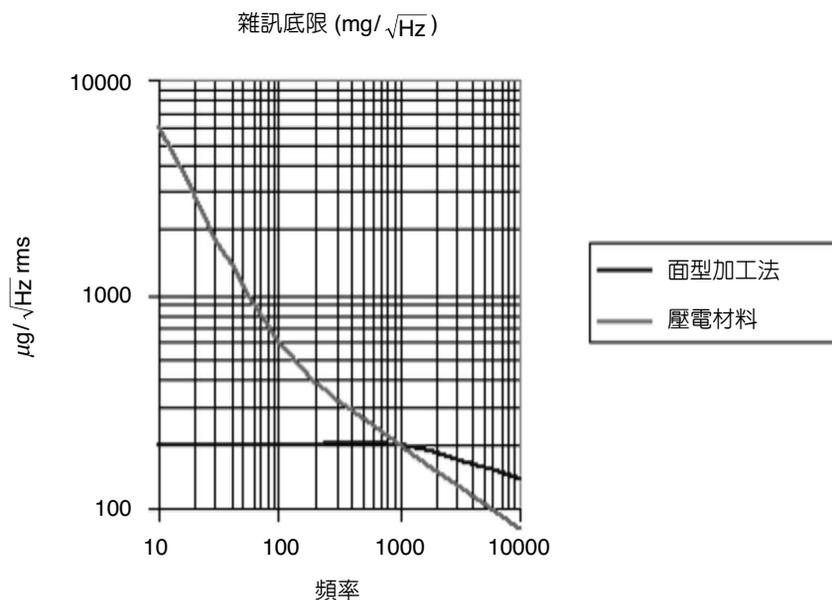


圖 10.72
振動干擾對微加速度計輸出的影響⁽⁷⁸⁾。

溫度的變化一樣會造成誤差，受振動後留下的準確度是在溫度沒有變化的情況下，當壓電材料受到較高溫度的影響會產生漂移現象，因此會產生更大的誤差。

(3) 組裝使用

微加速度計係直接裝置在一個印刷電路板上 (與電子電路結合)，不必使用栓接或者膠封接合。其優點為能準確運用傾斜角或慣性，搭配靜電力，能夠使感測器元件自動對位接上電路板。缺點是對於外界振動頻率的抵抗性較差。

10.6.3 微開關

一般用來當作開關的固態元件有場效電晶體或 PIN 二極體等。但以固態元件作為開關，在高頻時插入損失 (insertion loss) 與隔離度 (isolation) 不佳，因此在高頻時會使用機械式的開關。傳統機械式開關有較佳的特性，但體積大、反應慢、單價也高，所以便引進微機電技術來解決這些問題⁽⁶¹⁾。以微機電技術製作的微型開關 (MEMS switch) 有很多優點，但微機電之多層薄膜為難度相當高之製程，因為其製程複雜，決定成敗因素眾多，亦包含一些未知的關鍵問題。但台灣晶圓代工廠的標準 CMOS 製程具有相當高的良率及穩定性，在此前題之下，設計上若結合標準 CMOS 製程技術及一至二道簡單的微機電後製程 (post processing)，即可發展出可以大量生產且具有高效能、高整合性的微陣列開關。

微開關作動方式是利用在上下電極間施一電壓差，以產生靜電力使上電極吸附於下電極，如圖 10.73 所示。

$$V_p \equiv \sqrt{\frac{8kg_0^3}{27\epsilon A}} \quad (10.20)$$

影響驅動電壓的原因如式 (10.20) 所示⁽²³⁾，包括 A (面積)、 k (彈簧常數) 和 g_0 (上下電極間距離) 等。開關切換時間通常小於 $100 \mu\text{s}$ ，當頻率由 0 至 40 GHz 時插入損失 (insertion loss) 約在 0.1–0.3 db，隔離損失 (isolation loss) 約 -50–-25 db，大部分開關的驅動電壓都高達數十伏。

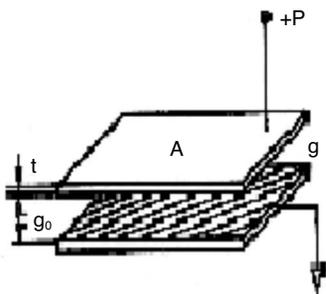


圖 10.73
施加電壓圖。

一般而言微開關大致可分為兩類，一種是金屬接觸式開關 (low loss metal contact switches)，另一種是電容式開關 (low loss capacitive switches)⁽⁴⁾。

(1) 接觸式開關

此開關是利用斷開的訊號線和機械式開關所組成，懸浮於間隙上之微開關有一金屬接觸片 (metal contact)，當接觸片貼上訊號線時訊號導通，其開關狀態如圖 10.74 所示。

(2) 電容式開關

圖 10.75 為電容式開關作動示意圖，此開關是控制電容值大小以決定微波訊號之通過與否，當開關薄膜往下貼近傳輸線 (transmission line) 時，微波訊號將因大電容而無法傳送；當不施靜電壓時，薄膜回到原先較高之位置時，訊號可順利導通。

$$C = \frac{\epsilon A}{d} \quad (10.21)$$

所產生的電容值如 (10.21) 式所示，會受上下電極間距離 (d) 及介電質的介電常數 (ϵ) 和電極面積 (A) 的影響，因此如果想要產生一個較大的電容，在不增加面積的情況下，以縮小 d 和增加 ϵ 值為較佳的方法。

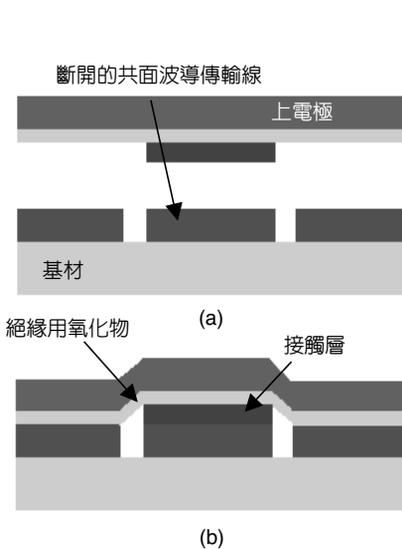


圖 10.74 接觸式開關示意圖：(a) off、
(b) on。

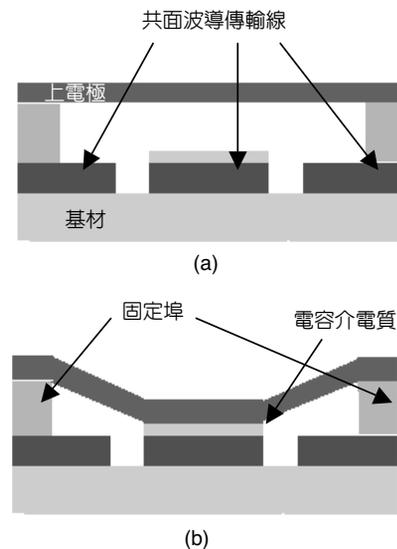


圖 10.75 電容式開關示意圖：(a) 訊號通過 (on)、(b) 訊號阻斷 (off)。

設計方法與考量

目前微波開關較大的問題是驅動電壓方面，如前面所提例子，其驅動電壓動輒數十伏，並不適合使用於一般通訊裝置。如式 (10.20) 所示，在考量面積 (A) 成本下， k 和 g_0 是最主要的影響，所以利用台積電穩定的薄膜製程來控制 g_0 ，並將支撐結構作成彎曲型式，如圖 10.76(b) 所示，是降低驅動電壓較為可行的方法。

本設計以台灣積體電路公司 (TSMC) 的 $0.35\ \mu\text{m}$ 、 $0.25\ \mu\text{m}$ 標準 CMOS 製程製作一個接觸式開關主體結構，再加上後製程來蝕刻犧牲層，以達到電性絕緣、懸浮結構的釋放，最後加以封裝量測，完成微開關。以下將以 $0.35\ \mu\text{m}$ 1P4M 為例作一說明。1P4M 剖面圖如圖 10.77 所示，是以矽為基材，其上沉積一層高分子 (poly) 和四層金屬層 (Al)，金屬層和金屬層間以二氧化矽 (oxide) 為絕緣層，金屬層和金屬層以貫穿孔 (via) 相連而成。而在後製程方面，因為此設計以金屬層 4 作為 RIE 的蝕刻光罩 (etching mask)，因此將不需再另行製作光罩，以金屬層 3 作為上電極，以濕蝕刻方式去除鋁留下 Ti 作為電鍍用起始層 (seed layer)，電鍍鎳作為上電極，以貫穿孔 1、金屬層 1、接觸層 (cont) 等作為共面波導 (coplane waveguide, CPW) 傳輸線，完成大致結構。

在完成各項設計考量後，以 Cadence 繪製布局 (layout) 圖，並經過除錯驗證後，透過國家晶片設計中心 (CIC) 下線給台灣積體電路公司 (TSMC)，圖 10.78 為一個 $1500 \times 1500\ \mu\text{m}^2$ 大小的陣列開關布局圖。

在完成微開關後，還有一個很重要的問題，就是封裝。封裝對元件而言是相當重要的，尤其是對微開關和可變電容這種具有懸浮結構的元件更是需要注意⁽⁵⁾。為了使微開關更具有可行性，可設計一個特殊的封裝方式來封裝這種要避免異物或是水氣同時又有懸浮結構的元件。在此可利用玻璃來完成，首先在玻璃上蝕刻貫穿孔，如圖 10.79 所示，接著沉積一層錫鉛或錫銅合金，完成如圖 10.80 所示之上蓋，接著將上蓋與開關對準加熱，便可完成微開關。完成後之微開關即如同一個 SMT 方便使用。

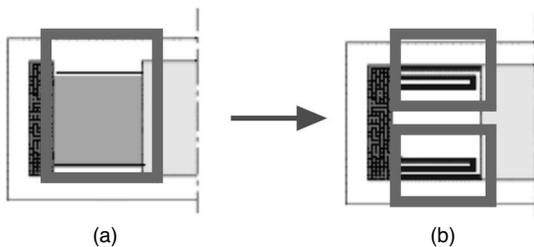


圖 10.76 (a) 懸臂式支撐結構，(b) 彎曲支撐結構。

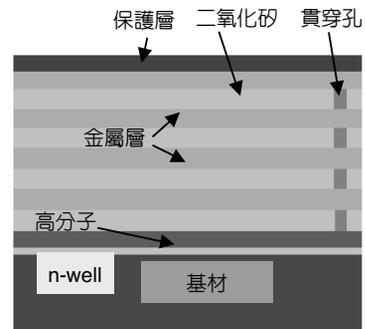


圖 10.77 TSMC $0.35\ \mu\text{m}$ 1P4M 示意圖。

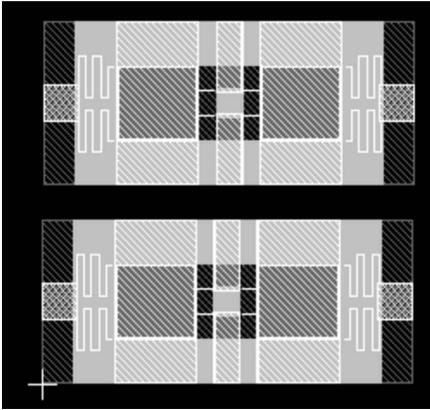


圖 10.78 開關布局圖。

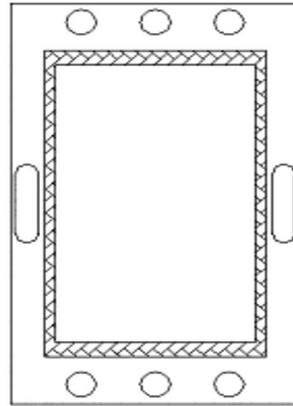
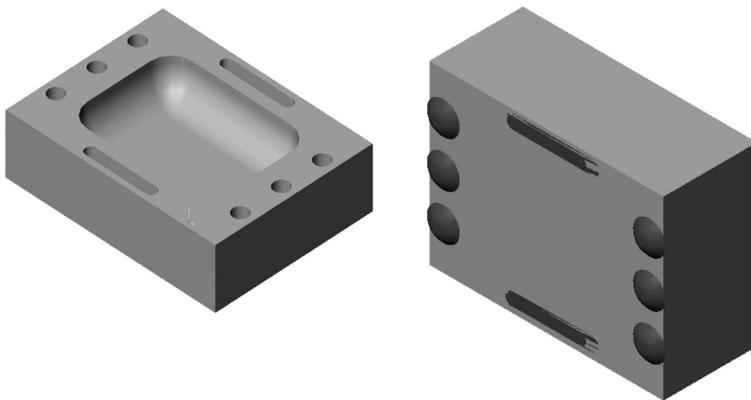


圖 10.79 蝕刻後玻璃上的貫穿孔。

圖 10.80
完成後之上蓋。

對一個 RF 微開關而言，封裝是一個非常關鍵的步驟，因為開關對濕氣很敏感，因此要在密閉充氮氣的空間中進行封裝。目前工業界用來封裝微機電元件，常見的有三種方法有：(1) 環氧樹脂密封法，(2) 玻璃—玻璃陽極結合，(3) 金—金接合。但以上三種方法都有兩個主要的問題：

1. 在接合過程中在環氧化合物、玻璃、金上加入濕式化合物，會在中空腔體中產生有機氣體，這對開關的可靠度有嚴重的影響。
2. 在接合過程中需加熱至 $300-400\text{ }^{\circ}\text{C}$ 以得到較好的密封效果，但這對一般厚度只有 $0.5-1.5\text{ }\mu\text{m}$ 、長度為 $250\text{ }\mu\text{m}-350\text{ }\mu\text{m}$ 的薄膜 (membrane) 或懸臂 (cantilever) 會產生 $\pm 1-5\text{ }\mu\text{m}$ 的彎曲，使開關無法使用。

以上三種封裝方法較適合用來封裝加速度計、陀螺儀、迴轉儀，若要用來封裝開關則必須稍加改變，也許可以局部加熱做金與金接合，並將傳輸線以貫穿孔的方式牽至外部。

微開關目前已有幾種市售產品⁽⁹⁵⁻⁹⁷⁾，基本上皆以懸臂方式建構，因內建升壓器 (charge pump) 可以使用 3–5 V 作為輸入電壓，但實際驅動懸臂的電壓可達 60 V。但各廠家的封裝技術仍然不見於文獻中，學術界有關 RF 微開關的封裝可參考文獻 98。

參考文獻

1. 郭嘉龍, 半導體封裝工程, 1-2~1-5, 全華科技圖書公司 (1999).
2. 徐泰然, *MEMS & Microsystems Design and Manufacture*, pp.394-397, pp.411-414, pp.421-423 (2002).
3. R. R. Tummala, *Fundamentals of Microsystems Packaging*, pp.556-565, McGraw-Hill (2002).
4. 楊學安, 快速與局部加熱於陽極接合品質的研究應用, 台北科技大學製科所碩士論文 (2002).
5. 江志豪, 低溫共燒陶瓷於微感測器共通型封裝之研究, 台灣大學機械所碩士論文 (2002).
6. M. Tabib-Azar, *Microactuators*, Kluwer Academic Publishers (1998)
7. 賴建方, 林裕城, 微機電系統製程之接合技術, 機械月刊, **292**, 314 (1999).
8. J.-T. Huang and S.-A. Yang, *Sensor and Actuator A: Physical*, **102** (1-2), 1 (2002).
9. 朱家驊, 微機電元件等級之真空封裝可變電容, 台灣大學應用力學所碩士論文 (2002).
10. J.-T. Huang and S.-C. Cheng, *Sensor and Actuator A: Physical*, **101** (3), 269 (2002).
11. V. Dragoi, M. Alexe, M. Reiche, and U. M. Gösele, *ECS Meeting Abstracts*, **MA 99-2**, 972 (1999).
12. F. Secco d'Aragona, T. Iwamoto, H.-D. C. Chiou, and A. Mizza, *ECS Meeting Abstracts*, **MA 97-2**, 2052 (1997).
13. G. Wallis and D. I. Pomerantz, *J. Appl. Phys.*, **40**, 3946 (1969).
14. G. Klink and B. Hillerich, SPIE Conf. On Micromachined Devices and Components, Santa Clara, CA SPIE 3512, pp.50-61 (1998).
15. P. Abraham, A. Black, A. Karim, J. Piprek, Y.-J. Chiu, B. Liu, A. Shakouri, S. Mathis, E. Hu, and J. Bowers, *ECS Meeting Abstracts*, **MA 99-2**, 1023 (1999).
16. W. P. Maszara, *JES*, **138** (1), 341 (1991).
17. Q.-Y. Tong, G. Cha, R. Gafiteanu, and U. Gosele, *IEEE J. Microelectromech. Syst.*, **3**, 29 (1994).
18. L. Lin, *IEEE Trans. on Advanced Packaging*, **23**, 608 (2000).
19. R. Stengl, K. -Y. Ahn, and U. Gosele, *Jpn. J. Appl. Phys.*, **65**, 4943 (1988).
20. Q.-Y. Tong, E. Schmidt, U. M. Gosele, and M. Reiche, *Appl. Phys. Lett.*, **64**, 625 (1994).
21. W. Kern and D. A. Puotinen, *RCA Rev.*, **31**, 186 (1970).
22. M. Bergh, S. Tiensuu, N. Kesitalo, and M. Forsberg, *ECS Meeting Abstracts*, **MA 97-2**, 2097 (1997).
23. H. Schilze, translated by M. J. Lakin, New York: Springer-Verlag, 338 (1991).
24. K. Ljungberg, Y. Backlund, A. Soderbarg, M. Bergh, M. O. Andersson, and S. Bengtsson, *JES*, **142** (4), 1297 (1995).
25. S. Johansson, K. Gustafsson and J. A. Schweitz, *Sens. Mater.*, **3**, 143 (1988).
26. K. B. Albangh and D. H. Rasmussen, *J. An. Ceram. Sec.*, **75** (16), 2644 (1992).

27. Y. Kana, K. Mazunori, C. Muradnm, and J. Sugaya, *Sensors and Actuators*, **A21-23**, 939 (1990).
28. Y. Arata, A. Ohmori, S. Sano, and I. Okamoto, *Trans. JWRI*, **13** (1), 35 (1984).
29. W. H. Ko, J. T. Suminto, and G. J. Yeh, *Micromachining and Micropackaging of Transducers*, eds. C. D. Fung, P. W. Cheung, W. H. Ko and D. G. Flemming, Elsevier, 41 (1985).
30. H. Takagi, R. Maeda, Y. Ando, and T. Suga, "Room Temperature Silicon Wafer Direct Bonding" in *Vacuum by Ar Beam, Irradiation, 10th Workshop on MEMS*, Nagoya, Japan, 191 (1997).
31. A. Cozma and B. Puers, *J. Micromech. Microeng.*, **5**, 98 (1995).
32. S. Johansson, K. Gustafsson, and J-A. Schweitz, *Sensors and Materials*, **4**, 209 (1988).
33. S. Johansson, K. Gustafsson, and J-A. Schweitz, *Sensors and Materials*, **3**, 143 (1988).
34. 彭成鑑, 呂朝崇, 氣閉式晶片級陽極接合技術, 工業材料研究所技術報告編號 053870384, 1998年6月。
35. S. Shoji, H. Kikuchi, and H. Torigoe, "Anodic bonding below 180 °C for packaging and assembling of MEMS using lithium aluminosilicate- β -quartz glass-ceramic", *MEMS '97*, 482 (1997).
36. A. D. Brooks, R. P. Donovan, and C. A. Hardesty, *J. Electrochem. Soc.: Solid-State Science and Technology*, **119**, 545 (1972).
37. M. Esashi, A. Nakano, S. Shoji, and H. Hebiguchi, *Sensors and Actuators A*, **21-23**, 931 (1990).
38. S. Weichel, R.d. Reus, and M. Lindahl, *Sensors and Actuators A*, **170**, 179 (998).
39. P. Krause, M. Sporys, E. Obermeier, K. Lange, and S. Grigull, *Transducers'95, Int. Conf. Solid-State Sensors and Actuators*, Sweden: Stockholm, 228 (1995).
40. H. J. Quenzer, C. Dell, and B. Wagner, *IEEE, MEMS'96*, 272 (1996).
41. R. D. Reus, C. Christensen, S. Weichel, S. Bouwstra, J. Janting, G. F. Eriksen, K. Dyrbye, T. R. Brown, J. P. Krog, O. S. Jensen, and P. Gravesen, *Microelectronics Reliability*, **38**, 1251 (1998).
42. A. Berthold, L. Nicolab, P. M. Sarroa, and M. J. Vellekoop, *Sensors and Actuators*, **82**, 224 (2000).
43. C. Christensen and S. Bouwstra, *Proc. of the SPIE, The International Society for Optical Engineering*, **2879**, 288 (1996).
44. Z.-X. Xiao, G.-Y. Wu, D. Zhang, G. Zhang, Z.-H. Li, Y.-L. Hao, and Y.-Y. Wang, *Sensors and Actuators A*, **71**, 123 (1998).
45. 彭成鑑, 呂朝崇, 黃偉峰, 潘信宏, 紅外線感測元件真空式晶片級封裝用技術與矽晶片融合接合技術研究, 工業材料研究所技術報告, 編號 053870392, 1998年6月。
46. W.-F. Huang, J.-S. Shie, C. K. Lee, S. C. Gong, and C.-J Peng, *Conf. On Design, Characterization, and Packaging for MEMS and Microelectronics*, Australia: Queensland, SPIE, **3893**, 478 (1999).
47. W. H. Ko, J. Hyncek, and S. F. Boettcher, *IEEE Trans. On Electronic Devices*, **ED-26** (12), 1896 (1979).
48. C. den Besten, R. E. G van Hal, J. Munoz, and P. Bergveld, *MEMS '92*, 104 (1992).
49. F. Niklaus, H. Andersson, P. Enoksson, and G. Stemme, *Sensors and Actuators*, **A92**, 235 (2001).
50. F. Niklaus, P. Enoksson, E. Kälvesten, and G. Stemme, *IEEE*, 247 (2000).
51. E. Suhir, *J. Appl. Mech.*, **53**, 657 (1986).

52. Q. Y. Tong and U. Gösele, *JES*, **143** (5), 1773 (1996).
53. U. Gosele, Q. -Y. Tong, A. Schumacher, G. Kästner, M. Reiche, A. Plö 1, P. Kipperschmidt, T. -H. Lee, and W. -J. Kim, *Sensors and Actuators*, **74**, 161 (1999).
54. Q. -Y. Tong, W. J. Kim, T. -H. Lee, and U. M. Gösele, *ESL*, **1** (1), 52 (1998).
55. B. Roberds and S. Farrens, *ECS Meeting Abstracts*, **MA 97-2**, 2107 (1997).
56. K. Scheerschmidt, D. Conrad, A. Belov, and H. Stenzel, *ECS Meeting Abstracts*, **MA 97-2**, 2067 (1997).
57. Tien-Hsi Lee, Ph.D. Dissertation, Duke University (1998).
58. U. M. Gösele, H. Stenzel, T. Martini, J. Steinkirchner, D. Conrad, and K. Scheerschmidt, *Appl. Phys. Lett.*, **67**, 3614 (1995).
59. K. D. Hobart, M. E. Twigg, F. J. Kub, and C. A. Desmond, *Appl. Phys. Lett.*, **72**, 1095 (1998).
60. G. L. Sun, J. Zhan, Q. -Y. Tong, S. J. Xie, Y. M. Cai, and S. J. Lu, *J. de Physique*, **49** (C4), 79 (1988).
61. D. Pasquariello, C. Hedlund, and K. Hjort, *JES*, **147** (7), 2699 (2000).
62. T. R. Chung, N. Hosoda, and T. Suga, *Appl. Phys. Lett.*, **72**, 1565 (1998).
63. Y. T. Cheng, L. Lin, and K. Najafi, *IEEE/ASME Journal of Microelectromechanical Systems*, **10** (3), 392 (2001).
64. L. Lin, Y. T. Cheng, and K. Najafi, *Japanese Journal of Applied Physics, Part II*, **11B**, 1412 (1998).
65. Y. T. Cheng, L. Lin, and K. Najafi, *IEEE/ASME Journal of Microelectromechanical Systems*, **9**, 3 (2000).
66. Y. C. Su and L. Lin, *Proceedings of IEEE Micro Electro Mechanical Systems Conference*, 50, Interlaken, Switzerland (2001).
67. J. B. Kim, M. Chiao, and L. Lin, *Proceedings of IEEE Micro Electro Mechanical Systems Conference*, 415, Las Vegas (2002).
68. C. Luo and L. Lin, *Sensors and Actuators*, **A 97-98**, 398 (2002).
69. C. Lu, L. Lin, and M. Chiao, *11th Int. Conference on Solid State Sensors and Actuators, Transducer's 01*, *Technical Digest*, 214, Germany: Munich (2001).
70. A. Cao, M. Chiao, and L. Lin, *Technical Digest of Solid-State Sensors and Actuators Workshop*, 153, Hilton Head Island (2002).
71. G. H. He, L. Lin, and Y. T. Cheng, *10th Int. Conference on Solid State Sensors and Actuators, Transducer's 99, Technical Digest*, Sendai, Japan, 1312 (1999).
72. B. Langenecker, *IEEE Transactions on Sonics and Ultrasonics*, **SU-13** (1), 1 (1966).
73. R. L. Hinds, *Flip Chip Package for Micromachined Semiconductors*, United States Patent 6225692 (2001).
74. B. P. Gogoi, D. J. Monk, D. W. Odle, K. D. Neumann, D. L. JR. Hughes, J. E. Schmiesing, A. C. McNeil and R. J. August, *Integrated CMOS Capacitive Pressure Sensor*, United States Patent 20020072144.
75. S. D. Senturia, *IEEE Circuits and Devices Magazine*, **6** (6), 20 (1990).
76. *Vacuum-Sealed and Gas-Filled Micromachined Devices*, School of Electrical Engineering: Royal Institut of Technology, ISBN 91-7170-482-5 (1999).

77. M. J. Madou, *Fundamentals of Microfabrication: the Science of Miniaturization*, 2nd ed., CRC (2001).
78. ANALOG DEVICES (<http://www.analog.com>)
79. A. V. Chavan and K. D. Wise, *IEEE Trans. on Electron Devices*, **49** (1), Jan. (2002).
80. Harrie A. C. Tilmans, Myriam D. J. Van de Peer, and E. Beyne, *J. of Microelectromechanical Systems*, **9** (2), 206 (2000).
81. F. Niklaus, P. Enoksson, P. Griss, E. Kalvesten, and Goran Stemme, *J. of Microelectromechanical Systems*, **10** (4), 525 (2001).
82. F. Niklaus, P. Enoksson, E. Kalvesten, and G. Stemme, "Void-free Full Wafer Adhesive Bonding," in *Proc. MEMS 2000*, Miyazaki, Japan, 2000, 247 (2000).
83. F. Niklaus, P. Enoksson, E. Kalvesten, and G. Stemme, *J. Micromech. Microeng.*, **11** (2), 100 (2001)
84. 黃榮堂, 楊申語, 江志豪, 微感測器共通型封裝的方法, 2001/11/6, 中華民國發明專利公告編號 512505.
85. A. Plöb1 and G. Kräuter, *Materials Science and Engineering*, **R25**, 1 (1999).
86. J. Neysmith and D. F. Baldwin, *IEEE Trans. Components and Packaging Technologies*, **24** (4), 631 (2001).
87. T. Takizawa, S. Yamamoto, K. Itoi, and T. Suemasu, "Conductive Interconnections Through Thick Silicon Substrates for 3D Packaging", *MEMS 2002*, 388 (2002).
88. Y. W. Park, *et al.*, "A Novel Low-Loss Wafer-Level Packaging of RF-MEMS Devices", *MEMS 2002*, 681 (2002).
89. N. Miki, *et al.*, "A Study of Multiple Stack Silicon-Direct Wafer Bonding for MEMS Manufacturing", 407-410.
90. A. R. Mirza, "One Micron Precision, Wafer-Level Aligned Bonding for Interconnect, MEMS and Packaging Applications", *2000 Electronic Components and Technology Conference*, 676 (2000).
91. A. R. Mirza, "Wafer-Level Packaging Technology for MEMS", *2000 Inter Society Conference on Thermal Phenomena*, 676 (2000).
92. P. Lindner, V. Dragoi, T. Glinsner, C. Schacfer, and R. Islam, "3D Interconnect through Aligned Wafer Level Bonding", *2002 Electronic Components and Technology Conference*, 1439 (2002).
93. J. H. Lau, *Chip on Board*, New York: Van Nostrand Reinhold (1994).
94. Motorola, *Sensor Device Data Handbook*, 4th ed., Phoenix, AZ: Motorola. Inc. (1998).
95. A. P. de Silva, C. Vaughan, D. Frear, L. Liu, S. M. Kuo, J. Foretner, J. Drye, J. Abrokwah, H. Hughes, C. Amrine, C. Butler, S. Markgraf, H. Denton, and S. Springer, "Motora MEMS Switch Technology for High Frequency Applicationa", *Microelectromechanical Systems Conference*, 22 (2001).
96. S. Adumder, J. Lampen, R. Morrison, and J. Maciel, *IEEE Instrument & Measurement Magazine*, **6** (1), 12 (2003).
97. RF MEMS Switch and Relay Solutions, www.teravicta.com
98. A. Margomenos and L. P. B. Katehi, "DC to 40 GHz On-wafer Package for RF MEMS Switches", *Electrical Performance of Electronic Packaging*, 91 (2002).